

EFM8 Universal Bee 系列

EFM8UB2 数据表



EFM8UB2 是 Universal Bee 系列的 MCU，是一款带有 USB 功能集的多用途 8 位微控制器。

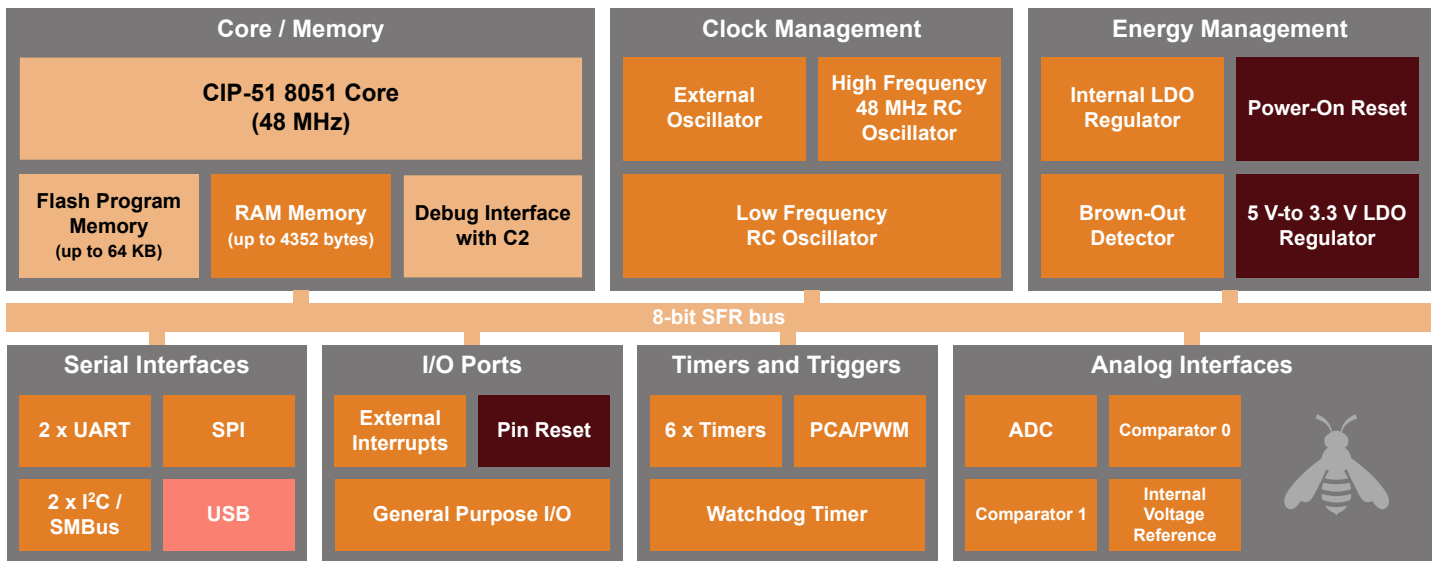
此设备集成带有高精度振荡器的 USB 外围设备接口、时钟恢复电路、以及集成收发器，是所有全速 USB 应用的理想选择，无需外部组件。EFM8UB2 系列采用高效的 8051 内核和精密模拟，也是嵌入式应用的最佳选择。

EFM8UB2 应用包括以下功能：

- USB I/O 控制、加密狗
- 消费电子
- 高速通信桥
- 医疗器械

主要特点

- 流水线式 8 位 8051 MCU 内核，最大运行频率 48 MHz
- 最多 40 组多功能 I/O 引脚
- 兼容无晶体全速/低速 USB 2.0 控制器，带有 1 KB 缓冲区
- 一个差分 10 位 ADC 和两个模拟比较器
- 内部 48 MHz 振荡器支持无晶体 USB 和 UART 操作，在使用 USB 时钟恢复时精度为 $\pm 0.25\%$
- 2 个 UART、SPI、2 个 SMBus/I2C 串行通信



Lowest power mode with peripheral operational:

- Normal
- Idle
- Suspend
- Shutdown

1. 功能列表

EFM8UB2 突出功能如下所列。

- 内核：
 - 流水线式 CIP-51 内核
 - 与标准 8051 指令集完全兼容
 - 70% 指令的执行时间为 1-2 系统时钟周期
 - 48 MHz 最高工作频率
- 内存：
 - 最高 64 kB 闪存，可在系统内对固件重新编程。
 - 最高 4352 字节 RAM (包括 256 字节标准 8051 RAM 和 4096 字节片上 XRAM)
- 电源：
 - 用于 CPU 内核电压的内部 LDO 稳压器
 - 内部 5 至 3.3 V LDO 允许直接连接至 USB 供电网
 - 加电复位电路和掉电检测器
- I/O: 最多共 40 组多功能 I/O 引脚：
 - 用于外围路由的灵活外围设备交叉开关
 - 10 mA 源电流, 25 mA 吸收器允许直接驱动 LED
- 时钟源：
 - 内部 48 MHz 精度振荡器 (±1.5% 的精度, 不带 USB 时钟恢复; ±0.25% 的精度, 带 USB 时钟恢复)
 - 内部 80 kHz 低频振荡器
 - 外部晶体、RC、C 和 CMOS 时钟选项
- 定时器/计数器和 PWM：
 - 5 信道可编程计数器阵列 (PCA), 支持 PWM、捕获/比较、带有看门狗定时器功能的频率输出模式
 - 6 个 16 位通用计时器
- 通信和数字外围设备：
 - 通用串行总线 (USB) 功能控制器, 带有八个灵活的终端管道、集成收发器和 1 KB FIFO RAM
 - 2 个 UART
 - SPI™ 主/从
 - 2 个 SMBus™/I2C™ 主/从
 - 外部存储器接口 (EMIF)
- 模拟：
 - 10 位 AD 转换器 (ADCO)
 - 2 个低电流模拟比较器
- 片上非侵入式调试
 - 全内存和寄存器检测
 - 四个硬件断点、单步执行
- 预装 USB 引导装载程序
- -40 至 85 °C 温度范围
- 2.65 至 3.6 V 单电源
- QFP48、QFP32 和 QFN32 封装

借助芯片上加电复位、电源电压监控器、监视程序定时器和时钟振荡器, EFM8UB2 设备成为真正独立的系统单芯片解决方案。闪存是可编程内部电路, 提供非易失性数据存储以及支持固件的现场升级。片上调试接口 (C2) 允许使用安装在最终应用中的生产 MCU 进行非侵入式 (不使用片上资源)、全速、内部电路调试。此调试逻辑支持检查和修改存储器与寄存器、设置断点、单步执行以及运行和停止命令。进行调试时, 所有模拟和数字外围设备的功能都得到充分发挥。各设备的指定操作电压是 2.65 到 3.6 V, 适用于 32 针 QFN、32 针 QFP 或 48 针 QFP 封装的元件。所有封装选项均符合无铅和 RoHS 要求。

2. 订购信息

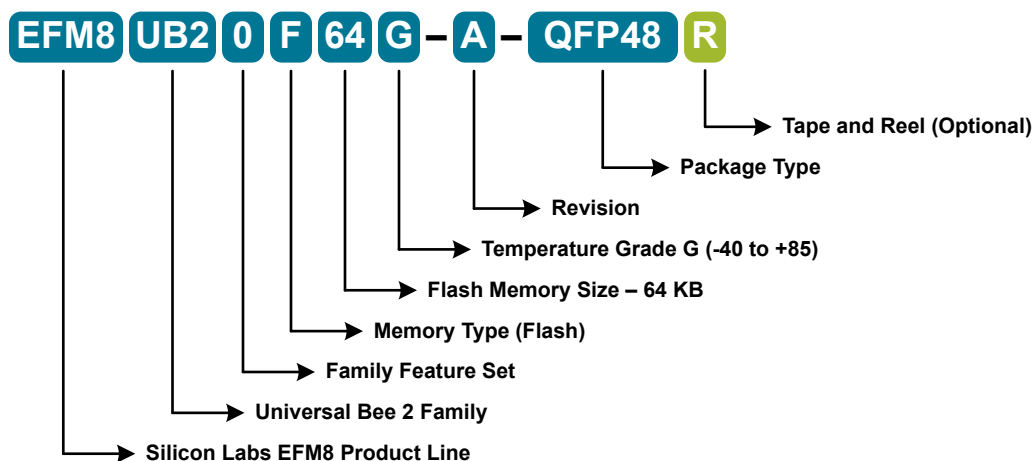


Figure 2.1. EFM8UB2 部件编号

所有 EFM8UB2 产品系列都具备以下功能：

- 运行频率高达 48 MHz 的 CIP-51 内核
- 两个内部振荡器（48 MHz 和 80 kHz）
- USB 全/低速功能控制器
- 5 V 输入、3.3 V 输出稳压器
- 2 个 SMBus/I2C 接口
- SPI
- 2 个 UART
- 5 信道可编程计数器阵列（PWM、时钟生成、捕获/比较）
- 6 个 16 位定时器
- 2 个模拟比较器
- 10 位差分 AD 转换器，配有集成多路复用器和温度传感器
- 预装 USB 引导装载程序

除了这些功能之外，EFM8UB2 系列中的各元件随产品系列不同具有不同的功能集。产品选择指南列出了各系列元件的可用功能。

Table 2.1. Product Selection Guide

Ordering Part Number	Flash Memory (kB)	RAM (Bytes)	Digital Port I/Os (Total)	ADC Channels	Comparator 0 Inputs	Comparator 1 Inputs	Crystal Oscillator	External Memory Interface	Pb-free (RoHS Compliant)	Temperature Range	Package
EFM8UB20F64G-B-QFP48	64	4352	40	32	5	5	Yes	Yes	Yes	-40 to +85 °C	QFP48
EFM8UB20F64G-B-QFP32	64	4352	25	20	5	4	—	—	Yes	-40 to +85 °C	QFP32
EFM8UB20F64G-B-QFN32	64	4352	25	20	5	4	—	—	Yes	-40 to +85 °C	QFN32
EFM8UB20F32G-B-QFP48	32	2304	40	32	5	5	Yes	Yes	Yes	-40 to +85 °C	QFP48

Ordering Part Number	Flash Memory (kB)	RAM (Bytes)	Digital Port I/Os (Total)	ADCO Channels	Comparator 0 Inputs	Comparator 1 Inputs	Crystal Oscillator	External Memory Interface	Pb-free (RoHS Compliant)	Temperature Range	Package
EFM8UB20F32G-B-QFP32	32	2304	25	20	5	4	—	—	Yes	-40 to +85 °C	QFP32
EFM8UB20F32G-B-QFN32	32	2304	25	20	5	4	—	—	Yes	-40 to +85 °C	QFN32

3. 系统概述

3.1 介绍

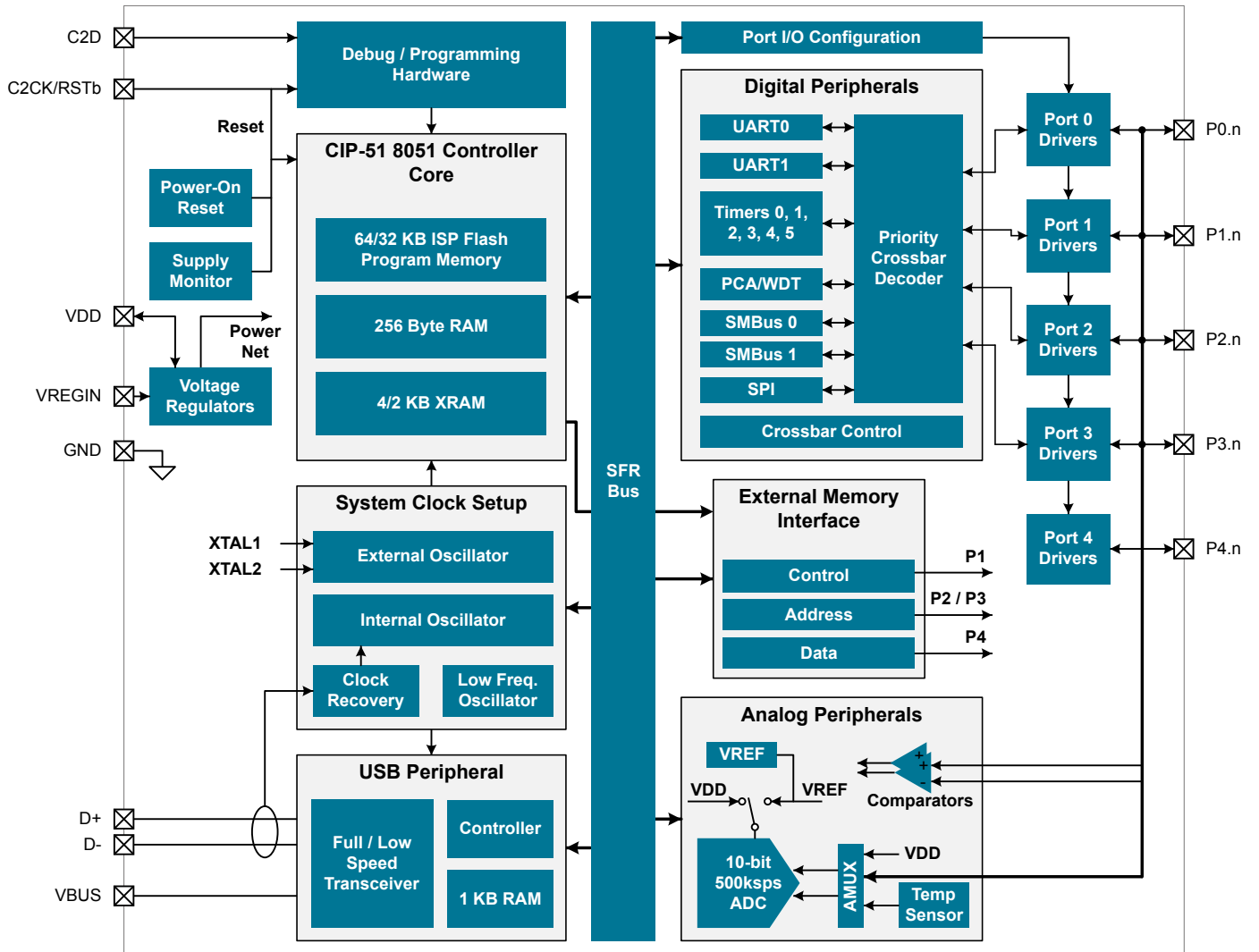


Figure 3.1. EFM8UB2 方框图详情

本部分描述的是较高水平的 EFM8UB2 产品系列。欲了解关于各个模块的更多信息，包括寄存器定义，请参见 EFM8UB2 参考手册。

3.2 电源

所有内部电路由 VDD 供电引脚供电。外部 I/O 引脚由 VIO 电源电压供电（或设备上无独立 VIO 连接的 VDD），大多数内部电路由片上 LDO 调节器供电。根据需要启用/禁用各个外围设备可以控制设备功耗。每个模拟外围设备在不使用时都可以禁用，从而置于低功耗模式。在不使用数字外围设备（如定时器或串行总线）时，时钟将关闭且消耗较少电量。

Table 3.1. 电源模式

电源模式	详情	进入模式	唤醒源
普通模式	为内核和所有外围设备设定时钟，且均完全运行	—	—
空闲模式	<ul style="list-style-type: none"> 内核暂停 为所有外围设备设定时钟，且完全运行 发生唤醒事件时恢复执行代码 	在 PCON0 中设置 IDLE 位	任何中断
挂起模式	<ul style="list-style-type: none"> 核心和外围时钟停止 发生唤醒事件时恢复执行代码 	<ol style="list-style-type: none"> 将 SYSCLK 转至 HFOSCO 在 HF00CN 中设置 SUSPEND 位 	USB0 总线活动
停止	<ul style="list-style-type: none"> 所有内部电源网络均关闭 引脚保持其状态 发生任何复位源时退出 	在 PCON0 中设置 STOP 位	任何复位源
关机	<ul style="list-style-type: none"> 所有内部电源网络均关闭 5V 稳压器保持活动状态（如果启用） 引脚保持其状态 退出引脚或上电复位 	<ol style="list-style-type: none"> 在 REG01CN 中设置 STOPCF 位 在 PCON0 中设置 STOP 位 	<ul style="list-style-type: none"> RSTb 引脚复位 上电复位

3.3 I/O

数字和模拟资源可以通过设备的多功能 I/O 引脚来实现外部调用。端口引脚 P0.0–P3.7 可以被定义为通用 I/O (GPIO)，通过交叉开关或专用信道被分配至其中一个内部数字资源，或者被分配至模拟功能。端口引脚 P4.0–P4.7 可被用作 GPIO。此外，C2 接口数据信号 (C2D) 可与某些封装为 P3.0 共享。

- 最高 40 个多功能 I/O 引脚，支持数字和模拟功能。
- 数字外围设备分配的灵活的优先交叉开关译码器。
- 配有 P0 引脚上专用中断向量 (INT0 和 INT1) 的两个直接引脚中断源。

3.4 时钟

CPU 内核和外围设备子系统可以按照内部和外部振荡器资源来设定时钟。默认情况下，系统时钟运行的情况为：48 MHz 振荡器 4 分频，然后 8 分频 (1.5 MHz)。

- 为内核和外围设备提供时钟。
- 48 MHz 内部振荡器 (HFOSCO)，随电源和温度变化，精度为 $\pm 1.5\%$ ；在使用 USB 时钟恢复时，精度为 $\pm 0.25\%$ 。
- 80 kHz 低频振荡器 (LFOSCO)。
- QFP48 封装带有外部 RC、C、CMOS 和 高频晶体时钟选项 (EXTCLK)。
- QFP32 和 QFN32 封装带有外部 CMOS 时钟选项 (EXTCLK)。
- 内部振荡器的时钟分频器具有八个设置，可实现灵活的时钟调整：1、2、4 或 8。

3.5 定时器/计数器和 PWM

可编程计数器阵列 (PCAO)

可编程计数器阵列 (PCA) 提供增强的定时器和 PWM 功能的多个信道，与标准计数器/定时器相比，它需要较少的 CPU 干预。PCA 的各信道由一个专用的 16 位计数器/定时器和一个 16 位捕获/比较模块组成。计数器/定时器由具有灵活的外部 and 内部时钟选项的可编程时基驱动。每个捕获/比较模块可配置为在五种模式中的一种模式下独立运行：边沿触发捕获、软件定时器、高速输出、频率输出、或脉宽调制 (PWM) 输出。每个捕获/比较模块有其自己的关联 I/O 线 (CEXn)，这些线在启用时通过交叉开关连接到端口 I/O。

- 16 位时基。
- 可编程时钟分频器和时钟源选择。
- 最多五个独立配置的信道
- 8 和 16 位 PWM 模式 (沿对准操作)。
- 输出频率模式。
- 捕获上升沿、下降沿或任何沿。
- 比较任意波形生成函数。
- 软件定时器 (内部比较) 模式。
- 集成监视程序定时器。

定时器 (定时器 0、定时器 1、定时器 2、定时器 3、定时器 4 和定时器 5)

设备中包含几个计数器/定时器：两个是 16 位计数器/定时器与标准 8051 中的计数器/定时器兼容，另外两个是 16 位自动重新加载定时器，可用于定时外围设备或作为通用定时器使用。这些定时器可以用于测量时间间隔、对外部事件计数或生成周期性中断请求。定时器 0 和定时器 1 几乎完全相同，有四种主要工作模式。其他定时器都提供带有自动重新加载和捕获功能的 16 位和分割 8 位定时器功能。

定时器 0 和定时器 1 包括以下功能：

- 标准 8051 定时器，支持向后兼容固件和硬件。
- 时钟源包括 SYSCLK、SYSCLK (12、4 或 48 分频) 或外部时钟 (8 分频) 或外部引脚。
- 8 位自动重新加载计数器/定时器模式
- 13 位计数器/定时器模式
- 16 位计数器/定时器模式
- 双 8 位计数器/定时器模式 (定时器 0)

定时器 2、定时器 3、定时器 4 和定时器 5 是包括以下功能的 16 位定时器：

- 时钟源包括 SYSCLK、12 分频 SYSCLK 或 8 分频外部时钟。
- 16 位自动重新加载定时器模式
- 双 8 位自动重新加载定时器模式
- USB 起始帧或 LFOSCO 捕获的下降沿 (定时器 2 和定时器 3)

监视程序定时器 (WDT0)

设备包括 PCA0 外围设备中集成的可编程监视程序定时器 (WDT)。WDT 溢出将使 MCU 复位。为了避免复位，WDT 必须在溢出之前由应用软件重启。如果系统遇到软件或硬件故障阻止软件重启 WDT，则 WDT 溢出并复位。复位之后，WDT 自动开启并以默认最大时间间隔来运行。WDT 可以按需由系统软件禁用。RSTb 引脚的状态不受此复位的影响。

PCA0 外围设备中集成的监视程序定时器具有以下功能：

- 可编程超时间隔
- 从所选 PCA 时钟源运行
- 任何系统复位之后自动启动

3.6 通信和其他数字外围设备

通用串行总线 (USB)

USB0 模块为 USB 外围设备执行提供全速/低速功能。USB 功能控制器 (USB0) 包括串口引擎 (SIE)、USB 收发器 (包括匹配电阻和可配置的上拉电阻)、1 KB FIFO 块和无晶操作的时钟恢复机制。无需外部元件。USB0 模块兼容通用串行总线规范 2.0。

USB0 模块包括以下功能：

- 全速和低速功能。
- 实施 4 个双向端点。
- USB 2.0 兼容型 USB 外围设备支持 (无主机功能)。
- 直接模块访问 FIFO 内存的 1 KB RAM。
- 时钟恢复，以满足无外部组件的 USB 时钟需求。

通用异步接收器/发射器 (UART0)

UART0 是一个异步、全双工串口，它提供标准 8051 UART 的模式 1 和 3。增强的波特率支持允许各种时钟源来生成标准波特率。接收数据缓冲机制允许 UART0 在软件尚未读取前一个数据字节的情况下开始接收第二个输入数据字节。

UART 模块提供以下功能：

- 异步发射和接收。
- 波特率高达 $\text{SYSCLK}/2$ (发射) 或 $\text{SYSCLK}/8$ (接收)。
- 8 位或 9 位数据。
- 自动启动和停止发生。
- 发射和接收端的单字节 FIFO。

通用异步接收器/传输器 (UART1)

UART1 是一个异步、全双工串行端口，提供多种数据格式选择。它包含一个 16 位定时器和可选预分频器的专用波特率发生器，能生成宽范围的波特率。接收数据 FIFO 允许 UART1 在发生数据丢失或溢出之前接收多个字节。

UART1 提供以下功能：

- 异步发射和接收。
- 专用波特率发生器支持最高 $\text{SYSCLK}/2$ (发射) 或 $\text{SYSCLK}/8$ (接收) 的波特率
- 5、6、7、8 或 9 位数据。
- 自动启动和停止发生。
- 自动奇偶发生和检查。
- 接收端的三字节 FIFO。

串行外围设备接口 (SPI)

串行外围设备接口 (SPI) 模块可以访问灵活的全双工同步串行总线。SPI 可作为主设备或从属设备在 3 线或 4 线模式下运行，支持单个 SPI 总线上的多个主设备或从属设备。从选择 (NSS) 信号可配置为输入，以在从模式中选择 SPI，或在多主环境中禁用主模式操作，以避免多个主设备试图同时进行数据传输时发生 SPI 总线冲突。NSS 可以在主模式中配置为固件控制的片选输出，或被禁用以减少所需引脚的数量。在主模式中，可以用其它通用端口 I/O 引脚选择多个从属设备。

SPI 模块包括以下功能：

- 支持 3 线或 4 线主模式或从模式运行。
- 在主模式下支持的外部时钟频率为 $\text{SYSCLK}/2$ 分频，从模式下为 $\text{SYSCLK}/10$ 分频。
- 支持四种时钟相位及极性选项。
- 8 位专用时钟的时钟频率发生器。
- 支持同一数据线上的多主模式。

系统管理总线 / I2C (SMB0 和 SMB1)

SMBus I/O 接口是一个二线的双向串行总线。SMBus 完全符合系统管理总线规范 1.1 版，并与 I²C 串行总线兼容。

SMBus 模块包括以下功能：

- 标准（最高 100 kbps）和快速（400 kbps）传输速度。
- 支持主、从和多主模式。
- 多主模式的硬件同步和仲裁。
- 时钟低延长（时钟拉伸）以连接到较快的主模式。
- 硬件支持 7 位从模式和一般调用地址识别。
- 固件支持 10 位从地址解码。
- 能够阻止所有从状态。
- 可编程数据建立/保持时间。

外部存储器接口 (EMIF0)

外部存储器接口 (EMIF) 允许访问连接到 GPIO 端口的片外存储器和存储器映射的设备。使用带有 8 位或 16 位目标地址的外部传送指令 (MOVX) 来访问外部存储器空间。

- 支持访问多路复用和非多路复用存储器。
- 四种外部内存模式：
 - 仅限内部。
 - 不带存储体选择的分离模式。
 - 带有存储体选择的分离模式。
 - 仅限外部
- 可配置 ALE（地址锁存允许）定时。
- 可配置地址建立和保持时间。
- 可配置读写脉宽

3.7 模拟

10 位 AD 转换器 (ADCO)

ADC 是一款逐次逼近寄存器 (SAR) ADC，具有 10 位模式，集成了跟踪保持电路和可编程窗口检测器。该 ADC 可完全在软件控制下通过几个寄存器来配置。ADC 可通过使用模拟多路复用器配置，以测量各种不同信号。ADC 的电压参考可在内部和外部参考源之间选择。

ADC 模块是一款逐次逼近寄存器 (SAR) AD 转换器 (ADC)。此 ADC 模块的主要功能包括：

- 最多 32 次外部输入。
- 差分端或单端 10 位操作。
- 支持每秒 500 ksps 样本的输出更新速率。
- 异步硬件转换触发，可在软件、外部 I/O 和内部定时器源之间选择。
- 输出数据窗口比较器允许自动范围检查。
- 两个带可编程追踪时间的追踪模式选项。
- 支持转换完成和窗口比较中断。
- 灵活的输出数据格式。
- 可从外部参考引脚选择的电压参考、片上精度参考（通过参考引脚由外部驱动）或 VDD 供电。
- 集成温度传感器。

低电流比较器 (CMP0, CMP1)

模拟比较器用于比较两种模拟输入的电压，其中数字输出显示两者之中较高的输入电压。设备 I/O 引脚的外部输入连接以及内部连接可通过正负输入端上彼此独立的多路复用器来启用。滞后、响应时间和电流消耗可进行编程，以适应应用的特定需求。

比较器模块包括以下功能：

- 最多 5 次外部正输入。
- 最多 5 次外部负输入。
- 同步和异步输出可通过交叉开关路由至引脚。
- 0 和 +/-20 mV 之间的可编程滞后。
- 可编程响应时间。
- 在上升沿、下降沿或两者中都可以生成中断。

3.8 复位源

复位电路允许很容易地将控制器置于一个预定义的缺省状态。在进入此复位状态时，将发生以下过程：

- 内核停止程序执行。
- 如果位复位不是仅使用加电复位，模块寄存器被初始化为指定的复位值。
- 外部端口引脚被置于已知状态。
- 中断和定时器被禁用。

如果位复位不是仅使用加电复位，则所有寄存器都被复位为寄存器说明中备注的预定义值。在复位期间 RAM 的内容不受影响；之前存储的数据在断电之前保持不变。端口 I/O 锁存器在开路漏极模式下复位为 1。在复位期间和复位之后弱上拉启用。对于电源监视器和加电复位，RSTb 引脚被驱动为低电平，直到设备退出复位状态。在退出复位状态时，程序计数器 (PC) 被复位，并且系统时钟默认为内部振荡器。监视程序定时器被启用，从位置 0x0000 开始程序执行。

设备上的复位源包括：

- 上电复位
- 外部复位引脚
- 比较器复位
- 软件触发复位
- 电源监控器复位 (监控器 VDD 电源)
- 监视程序定时器复位
- 时钟丢失检测器复位
- 闪存错误复位
- USB 复位

3.9 调试

EFM8UB2 设备包括一个片上 Silicon Labs 2 线 (C2) 调试接口，支持闪存编程和使用安装在终端应用中的生产件进行系统内调试。C2 接口使用一个时钟信号 (C2CK) 和一个双向 C2 数据信号 (C2D) 在设备和主机系统之间传输信息。有关 C2 协议的详细信息，请参见 C2 接口规范。

3.10 引导装载程序

所有设备都配备预编程的 USB 引导装载程序。此引导装载程序位于闪存的后三页，包括代码安全页；不需要时可以擦除。

锁定字节的前一个字节是引导装载程序签名字节。如果此字节的值设为 0xA5 则表示系统中存在引导装载程序。该位置出现任何其他值都表示闪存中没有引导装载程序。

存在引导装载程序时，设备将在执行任何复位操作后，跳转至引导装载程序向量，允许运行引导装载程序。随后，引导装载程序将确定设备是应该停留在引导装载模式中，还是跳转至位于 0x0000 的复位向量。不存在引导装载程序时，设备将在执行任何复位操作后，跳转至 0x0000 的复位向量。

欲了解关于引导装载程序协议和使用率的更多信息，请参见 *AN945: EFM8 工厂引导装载程序用户指南*。欲了解应用说明，请参见 Silicon Labs 网站 (www.silabs.com/8bit-appnotes) 或通过[应用说明]方块访问 Simplicity Studio。

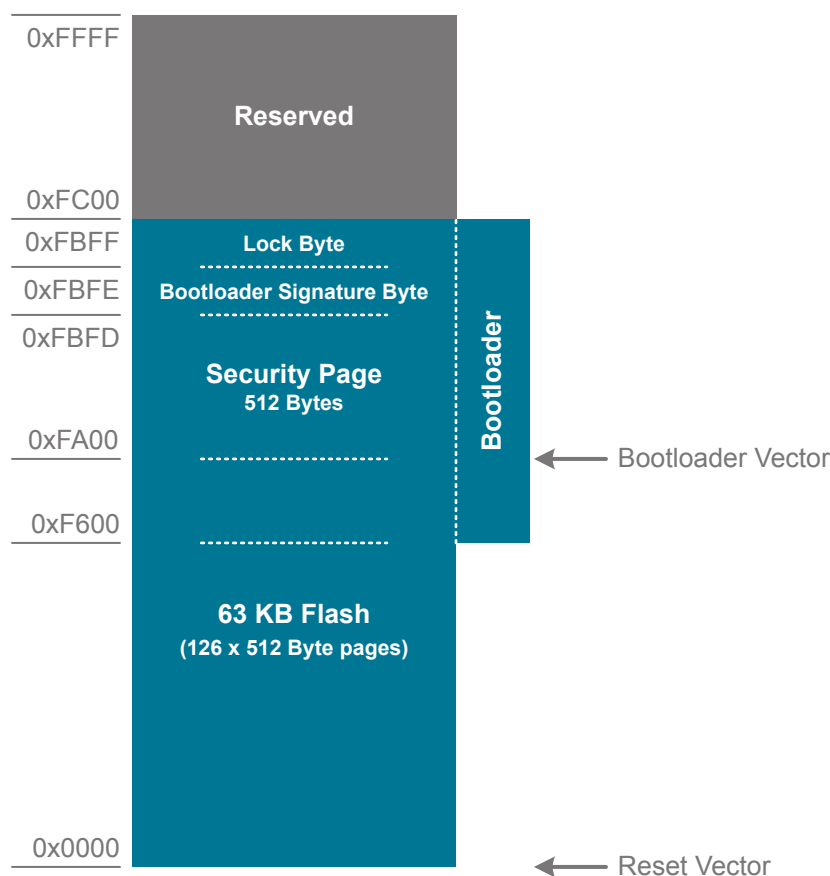


Figure 3.2. 带引导装载程序的闪存映射 — 64 kB 设备

Table 3.2. 用于引导装载程序通信的引脚摘要

引导装载程序	用于引导装载通信的引脚
UART	TX - P0.4
	RX - P0.5
USB	VBUS
	D+
	D-

Table 3.3. 用于引导装载模式入口的引脚摘要

设备封装	用于引导装载模式入口的引脚
QFN48	P3. 7
QFP32	P3. 0/C2D
QFN32	P3. 0/C2D

4. 电气规格

4.1 电气特性

除非另有说明，各表中的所有电气参数都适用于 [Table 4.1 Recommended Operating Conditions on page 12](#)（第 11 页表 4.1 “推荐操作条件”）中所列的条件。

4.1.1 建议的工作条件

Table 4.1. Recommended Operating Conditions

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Operating Supply Voltage on VDD	V _{DD}		2.7 ²	3.3	3.6	V
Operating Supply Voltage on VREGIN	V _{REGIN}		2.7	—	5.25	V
System Clock Frequency	f _{SYSCLK}		0	—	48	MHz
Operating Ambient Temperature	T _A		-40	—	85	°C

Note:

1. All voltages with respect to GND
2. The USB specification requires 3.0 V minimum supply voltage.

4.1.2 功耗

Table 4.2. Power Consumption

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Digital Core Supply Current						
Normal Mode—Full speed with code executing from flash	I _{DD}	F _{SYSCLK} = 48 MHz ²	—	12	14	mA
		F _{SYSCLK} = 24 MHz ²	—	7	8	mA
		F _{SYSCLK} = 80 kHz ³	—	280	—	μA
Idle Mode—Core halted with peripherals running	I _{DD}	F _{SYSCLK} = 48 MHz ²	—	6.5	8	mA
		F _{SYSCLK} = 24 MHz ²	—	3.5	5	mA
		F _{SYSCLK} = 80 kHz ³	—	220	—	μA
Suspend Mode—Core halted and high frequency clocks stopped, Supply monitor off. Regulators in low-power mode.	I _{DD}	LFO Running	—	105	—	μA
		LFO Stopped	—	100	—	μA
Stop Mode—Core halted and all clocks stopped, Regulators in low-power mode, Supply monitor off.	I _{DD}		—	100	—	μA
Shutdown Mode—Core halted and all clocks stopped, Regulators Off, Supply monitor off.	I _{DD}		—	0.25	—	μA
Analog Peripheral Supply Currents						
High-Frequency Oscillator 0	I _{HFOSCO}	Operating at 48 MHz, T _A = 25 °C	—	900	—	μA
Low-Frequency Oscillator	I _{LFOSC}	Operating at 80 kHz, T _A = 25 °C	—	5	—	μA
ADC0 Supply Current	I _{ADC}	Operating at 500 ksps V _{DD} = 3.0 V	—	750	1000	μA
On-chip Precision Reference	I _{VREFP}		—	75	—	μA
Temperature Sensor	I _{TSENSE}		—	35	—	μA
Comparator 0 (CMP0, CMP1)	I _{CMP}	CPMD = 11	—	1	—	μA
		CPMD = 10	—	4	—	μA
		CPMD = 01	—	10	—	μA
		CPMD = 00	—	20	—	μA
Voltage Supply Monitor (VMONO)	I _{VMON}		—	15	50	μA
Regulator Bias Currents	I _{VREG}	Both Regulators in Normal Mode	—	200	—	μA
		Both Regulators in Low Power Mode	—	100	—	μA
		5 V Regulator Off, Internal LDO in Low Power Mode	—	150	—	μA

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
USB (USB0) Full-Speed	I_{USB}	Active	—	8	—	mA

Note:

1. Currents are additive. For example, where I_{DD} is specified and the mode is not mutually exclusive, enabling the functions increases supply current by the specified amount.
2. Includes supply current from regulators, supply monitor, and High Frequency Oscillator.
3. Includes supply current from regulators, supply monitor, and Low Frequency Oscillator.

4.1.3 复位和电源监控器

Table 4.3. Reset and Supply Monitor

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
VDD Supply Monitor Threshold	V_{VDDM}		2.60	2.65	2.70	V
Power-On Reset (POR) Threshold	V_{POR}	Rising Voltage on VDD	—	1.4	—	V
		Falling Voltage on VDD	0.75	—	1.36	V
VDD Ramp Time	t_{RMP}	Time to $V_{DD} > 2.7$ V	—	—	1	ms
Reset Delay from POR	t_{POR}	Relative to $V_{DD} > V_{POR}$	3	10	31	ms
Reset Delay from non-POR source	t_{RST}	Time between release of reset source and code execution	—	—	250	μ s
RST Low Time to Generate Reset	t_{RSTL}		15	—	—	μ s
Missing Clock Detector Response Time (final rising edge to reset)	t_{MCD}	$F_{SYSCLK} > 1$ MHz	80	580	800	μ s
VDD Supply Monitor Turn-On Time	t_{MON}		—	—	100	μ s

4.1.4 闪存

Table 4.4. Flash Memory

Parameter	Symbol	Test Condition	Min	Typ	Max	Units
Write Time ¹	t_{WRITE}	One Byte	10	15	20	μ s
Erase Time ¹	t_{ERASE}	One Page	10	15	22.5	ms
VDD Voltage During Programming ²	V_{PROG}		2.7	—	3.6	V
Endurance (Write/Erase Cycles)	N_{WE}		10k	100k	—	Cycles
GRC Calculation Time	t_{CRC}	One 256-Byte Block SYSCLK = 48 MHz	—	5.5	—	μ s

Note:

1. Does not include sequencing time before and after the write/erase operation, which may be multiple SYSCLK cycles.
2. Flash can be safely programmed at any voltage above the supply monitor threshold (V_{VDDM}).
3. Data Retention Information is published in the Quarterly Quality and Reliability Report.

4.1.5 内部振荡器

Table 4.5. Internal Oscillators

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
High Frequency Oscillator 0 (48 MHz)						
Oscillator Frequency	f_{HFOSC0}	Full Temperature and Supply Range	47.3	48	48.7	MHz
Power Supply Sensitivity	$\text{PSS}_{\text{HFOSC0}}$	$T_A = 25^\circ\text{C}$	—	110	—	ppm/V
Temperature Sensitivity	$\text{TS}_{\text{HFOSC0}}$	$V_{\text{DD}} = 3.0\text{ V}$	—	25	—	ppm/ $^\circ\text{C}$
Low Frequency Oscillator (80 kHz)						
Oscillator Frequency	f_{LFOSC}	Full Temperature and Supply Range	75	80	85	kHz
Power Supply Sensitivity	$\text{PSS}_{\text{LFOSC}}$	$T_A = 25^\circ\text{C}$	—	0.05	—	%/V
Temperature Sensitivity	TS_{LFOSC}	$V_{\text{DD}} = 3.0\text{ V}$	—	65	—	ppm/ $^\circ\text{C}$

4.1.6 晶体振荡器

Table 4.6. Crystal Oscillator

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Crystal Frequency	f_{XTAL}		0.02	—	30	MHz

4.1.7 外部时钟输入

Table 4.7. External Clock Input

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
External Input CMOS Clock Frequency (at EXTCLK pin)	f_{CMOS}		0	—	48	MHz

4.1.8 ADC

Table 4.8. ADC

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Resolution	N_{bits}		10			Bits
Throughput Rate	f_{S}		—	—	500	ksps
Tracking Time	t_{TRK}		300	—	—	ns
SAR Clock Frequency	f_{SAR}		—	—	8.33	MHz
Conversion Time	t_{CNV}	10-Bit Conversion,	13	—	—	Clocks
Sample/Hold Capacitor	C_{SAR}		—	30	—	pF
Input Mux Impedance	R_{MUX}		—	5	—	k Ω
Voltage Reference Range	V_{REF}		1	—	V_{DD}	V
Input Voltage Range ¹	V_{IN}	Single-Ended (AIN+ - GND)	0	—	V_{REF}	V
		Differential (AIN+ - AIN-)	$-V_{\text{REF}}$	—	V_{REF}	V
Power Supply Rejection Ratio	PSRR_{ADC}		—	70	—	dB
DC Performance, $V_{\text{REF}} = 2.4 \text{ V}$						
Integral Nonlinearity	INL		—	± 0.5	± 1	LSB
Differential Nonlinearity (Guaranteed Monotonic)	DNL		—	± 0.5	± 1	LSB
Offset Error	E_{OFF}		-2	0	2	LSB
Offset Temperature Coefficient	TC_{OFF}		—	0.005	—	LSB/ $^{\circ}\text{C}$
Slope Error	E_{M}		—	-0.2	± 0.5	%
Dynamic Performance 10 kHz Sine Wave Input 1dB below full scale, $V_{\text{REF}} = 2.4 \text{ V}$						
Signal-to-Noise	SNR		55	58	—	dB
Signal-to-Noise Plus Distortion	SNDR		55	58	—	dB
Total Harmonic Distortion (Up to 5th Harmonic)	THD		—	-73	—	dB
Spurious-Free Dynamic Range	SFDR		—	78	—	dB
Note:						
1. Absolute input pin voltage is limited by the VDD and GND supply pins.						

4.1.9 参考电压

Table 4.9. Voltage Reference

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
On-chip Precision Reference						
Output Voltage	V_{REFP}	$T = 25\text{ }^{\circ}\text{C}$	2.38	2.42	2.46	V
Turn-on Time, settling to 0.5 LSB	t_{VREFP}	4.7 μF tantalum + 0.1 μF ceramic bypass on VREF pin	—	3	—	ms
		0.1 μF ceramic bypass on VREF pin	—	100	—	μs
Load Regulation	LR_{VREFP}	Load = 0 to 200 μA to GND	—	360	—	$\mu\text{V} / \mu\text{A}$
Short-circuit current	ISC_{VREFP}		—	—	8	mA
Power Supply Rejection	$PSRR_{VREFP}$		—	140	—	ppm/V
External Reference						
Input Current	I_{EXTREF}	Sample Rate = 500 ksps; VREF = 3.0 V	—	9	—	μA

4.1.10 温度传感器

Table 4.10. Temperature Sensor

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Offset	V_{OFF}	$T_A = 0\text{ }^{\circ}\text{C}$	—	764	—	mV
Offset Error ¹	E_{OFF}	$T_A = 0\text{ }^{\circ}\text{C}$	—	15	—	mV
Slope	M		—	2.87	—	$\text{mV}/^{\circ}\text{C}$
Slope Error ¹	E_M		—	120	—	$\mu\text{V}/^{\circ}\text{C}$
Linearity			—	0.5	—	$^{\circ}\text{C}$
Turn-on Time			—	1.8	—	μs
Note: 1. Represents one standard deviation from the mean.						

4.1.11 5 V 电压稳压器

Table 4.11. 5V Voltage Regulator

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Input Voltage Range ¹	V _{REGIN}		2.7	—	5.25	V
Output Voltage on VDD ²	V _{REGOUT}	Output Current = 1 to 100 mA	3.0	3.3	3.6	V
Output Current ²	I _{REGOUT}		—	—	100	mA

Note:

1. Input range specified for regulation. When an external regulator is used, V_{REGIN} should be tied to VDD.
2. Output current is total regulator output, including any current required by the device.

4.1.12 比较器

Table 4.12. Comparators

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Response Time, CPMD = 00 (Highest Speed)	t_{RESP0}	+100 mV Differential	—	100	—	ns
		-100 mV Differential	—	250	—	ns
Response Time, CPMD = 11 (Lowest Power)	t_{RESP3}	+100 mV Differential	—	1.05	—	μ s
		-100 mV Differential	—	5.2	—	μ s
Positive Hysteresis Mode 0 (CPMD = 00)	HYS_{CP+}	CPHYP = 00	—	0.4	—	mV
		CPHYP = 01	—	8	—	mV
		CPHYP = 10	—	16	—	mV
		CPHYP = 11	—	32	—	mV
Negative Hysteresis Mode 0 (CPMD = 00)	HYS_{CP-}	CPHYN = 00	—	-0.4	—	mV
		CPHYN = 01	—	-8	—	mV
		CPHYN = 10	—	-16	—	mV
		CPHYN = 11	—	-32	—	mV
Positive Hysteresis Mode 1 (CPMD = 01)	HYS_{CP+}	CPHYP = 00	—	0.5	—	mV
		CPHYP = 01	—	6	—	mV
		CPHYP = 10	—	12	—	mV
		CPHYP = 11	—	24	—	mV
Negative Hysteresis Mode 1 (CPMD = 01)	HYS_{CP-}	CPHYN = 00	—	-0.5	—	mV
		CPHYN = 01	—	-6	—	mV
		CPHYN = 10	—	-12	—	mV
		CPHYN = 11	—	-24	—	mV
Positive Hysteresis Mode 2 (CPMD = 10)	HYS_{CP+}	CPHYP = 00	—	0.7	—	mV
		CPHYP = 01	—	4.5	—	mV
		CPHYP = 10	—	9	—	mV
		CPHYP = 11	—	18	—	mV
Negative Hysteresis Mode 2 (CPMD = 10)	HYS_{CP-}	CPHYN = 00	—	-0.6	—	mV
		CPHYN = 01	—	-4.5	—	mV
		CPHYN = 10	—	-9	—	mV
		CPHYN = 11	—	-18	—	mV
Positive Hysteresis Mode 3 (CPMD = 11)	HYS_{CP+}	CPHYP = 00	—	1.5	—	mV
		CPHYP = 01	—	4	—	mV
		CPHYP = 10	—	8	—	mV
		CPHYP = 11	—	16	—	mV

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Negative Hysteresis Mode 3 (CPMD = 11)	HYS _{CP-}	CPHYN = 00	—	-1.5	—	mV
		CPHYN = 01	—	-4	—	mV
		CPHYN = 10	—	-8	—	mV
		CPHYN = 11	—	-16	—	mV
Input Range (CP+ or CP-)	V _{IN}		-0.25	—	V _{DD} +0.25	V
Input Pin Capacitance	C _{CP}		—	7.5	—	pF
Common-Mode Rejection Ratio	CMRR _{CP}		—	60	—	dB
Power Supply Rejection Ratio	PSRR _{CP}		—	60	—	dB
Input Offset Voltage	V _{OFF}	T _A = 25 ° C	-10	0	10	mV

4.1.13 端口 I/O

Table 4.13. Port I/O

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Output High Voltage	V _{OH}	I _{OH} = -3 mA	V _{DD} - 0.7	—	—	V
		I _{OH} = -10 μA	V _{DD} - 0.1	—	—	V
Output Low Voltage	V _{OL}	I _{OL} = 8.5 mA	—	—	0.6	V
		I _{OL} = 10 μA	—	—	0.1	V
Input High Voltage	V _{IH}		2.0	—	—	V
Input Low Voltage	V _{IL}		—	—	0.8	V
Pin Capacitance	C _{I/O}		—	7	—	pF
Weak Pull-Up Current (V _{IN} = 0 V)	I _{PU}	V _{DD} = 3.6	-50	-15	—	μA
Input Leakage (Pullups off or Analog)	I _{LK}	GND < V _{IN} < V _{DD}	-1	—	1	μA
Input Leakage Current with V _{IN} above V _{DD}	I _{LK}	V _{DD} < V _{IN} < V _{DD} +2.0 V	0	5	150	μA

4.1.14 USB 收发器

Table 4.14. USB Transceiver

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
VBUS Detection Input Low Voltage	V _{BUS_L}		—	—	1.0	V
VBUS Detection Input High Voltage	V _{BUS_H}		3.0	—	—	V
Transmitter						
Output High Voltage	V _{OH}	V _{DD} ≥ 3.0V	2.8	—	—	V
Output Low Voltage	V _{OL}	V _{DD} ≥ 3.0V	—	—	0.8	V
Output Crossover Point	V _{CRS}		1.3	—	2.0	V
Output Impedance	Z _{DRV}	Driving High	—	38	—	Ω
		Driving Low	—	38	—	
Pull-up Resistance	R _{PU}	Full Speed (D+ Pull-up) Low Speed (D- Pull-up)	1.425	1.5	1.575	kΩ
Output Rise Time	T _R	Low Speed	75	—	300	ns
		Full Speed	4	—	20	ns
Output Fall Time	T _F	Low Speed	75	—	300	ns
		Full Speed	4	—	20	ns
Receiver						V
Differential Input Sensitivity	V _{DI}	(D+) - (D-)	0.2	—	—	V
Differential Input Common Mode Range	V _{CM}		0.8	—	2.5	V
Input Leakage Current	I _L	Pullups Disabled	—	<1.0	—	μA
Refer to the USB Specification for timing diagrams and symbol definitions.						

4. 1. 15 SMBus

Table 4. 15. SMBus 外围设备定时性能（主模式）

Parameter	符号	Test Condition	最低	典型值	最高	单位
标准模式（100 kHz 级）						
I2C 工作频率	f_{I2C}		0	—	70^2	kHz
SMBus 工作频率	f_{SMB}		40^1	—	70^2	kHz
停止和开始条件之间的总线空闲时间	t_{BUF}		9.4	—	—	μs
开始条件之后的保持时间（重复）	$t_{HD:STA}$		4.7	—	—	μs
重复的开始条件设置时间	$t_{SU:STA}$		9.4	—	—	μs
停止条件设置时间	$t_{SU:STO}$		9.4	—	—	μs
数据保持时间	$t_{HD:DAT}$		0	—	—	μs
数据设置时间	$t_{SU:DAT}$		4.7	—	—	μs
检测时钟低超时	$t_{\text{超时}}$		25	—	—	ms
时钟低周期	$t_{\text{低}}$		4.7	—	—	μs
时钟高周期	$t_{\text{高}}$		9.4	—	50^3	μs
快速模式（400 kHz 级）						
I2C 工作频率	f_{I2C}		0	—	256^2	kHz
SMBus 工作频率	f_{SMB}		40^1	—	256^2	kHz
停止和开始条件之间的总线空闲时间	t_{BUF}		2.6	—	—	μs
开始条件之后的保持时间（重复）	$t_{HD:STA}$		1.3	—	—	μs
重复的开始条件设置时间	$t_{SU:STA}$		2.6	—	—	μs
停止条件设置时间	$t_{SU:STO}$		2.6	—	—	μs
数据保持时间	$t_{HD:DAT}$		0	—	—	μs
数据设置时间	$t_{SU:DAT}$		1.3	—	—	μs
检测时钟低超时	$t_{\text{超时}}$		25	—	—	ms
时钟低周期	$t_{\text{低}}$		1.3	—	—	μs
时钟高周期	$t_{\text{高}}$		2.6	—	50^3	μs
Note:						
1. 最小 SMBus 频率受限于 SMBus 规格的最大时钟高周期要求。						
2. 最大 I2C 和 SMBus 频率受限于它们各自规格的最小时钟低周期要求。						
3. SMBus 的最大时钟高周期要求为 50 μs 。低于 40 kHz 的工作频率将超过 50 μs 。I2C 可支持超过 50 μs 的周期。						

Table 4.16. SMBus 外围设备定时公式（主模式）

Parameter	符号	时钟
SMBus 工作频率	f_{SMB}	$f_{CS0}/3$
停止和开始条件之间的总线空闲时间	t_{BUF}	$2/f_{CS0}$
开始条件之后的保持时间（重复）	$t_{HD:STA}$	$1/f_{CS0}$
重复的开始条件设置时间	$t_{SU:STA}$	$2/f_{CS0}$
停止条件设置时间	$t_{SU:STO}$	$2/f_{CS0}$
时钟低周期	$t_{低}$	$1/f_{CS0}$
时钟高周期	$t_{高}$	$2/f_{CS0}$

Note:
1. f_{CS0} 是 SMBus 外围设备时钟源溢流频率。

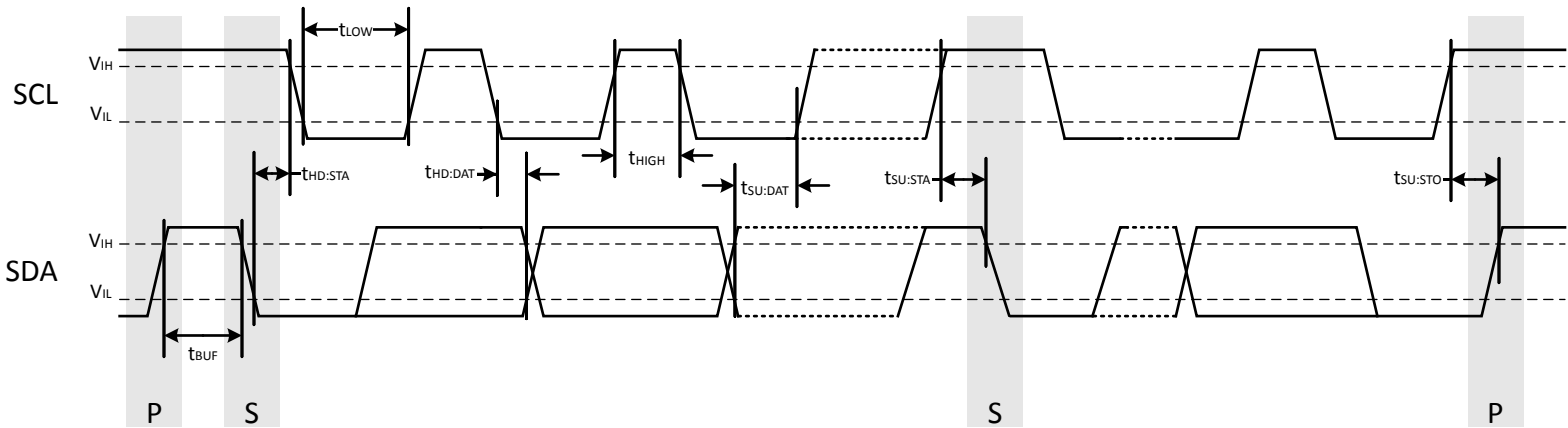


Figure 4.1. SMBus 外围设备定时图（主模式）

4.2 热能条件

Table 4.17. Thermal Conditions

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Thermal Resistance	θ_{JA}	QFP48 Packages	—	60	—	$^{\circ}C/W$
		QFP32 Packages	—	80	—	$^{\circ}C/W$
		QFN32 Packages	—	28	—	$^{\circ}C/W$

Note:
1. Thermal resistance assumes a multi-layer PCB with any exposed pad soldered to a PCB pad.

4.3 绝对最大额定值

超过 Table 4.18 Absolute Maximum Ratings on page 24 (第 20 页表 4.17 “最大额定值”) 中所列的应力值可能会永久损坏设备。这仅为应力额定值, 不表示在此值之下或在此规范的操作列表中标明的额定值之上的任何其他条件下可以对设备进行功能性操作。长期在最大额定值条件下工作可影响设备的可靠性。有关质量参数和可靠性数据的更多信息, 请访问 <http://www.silabs.com/support/quality/pages/default.aspx> 参阅《质量和可靠性监视报告》。

Table 4.18. Absolute Maximum Ratings

Parameter	Symbol	Test Condition	Min	Max	Unit
Ambient Temperature Under Bias	T_{BIAS}		-55	125	$^{\circ}C$
Storage Temperature	T_{STG}		-65	150	$^{\circ}C$
Voltage on VDD	V_{DD}		GND-0.3	4.2	V
Voltage on VREGIN	V_{REGIN}		GND-0.3	5.8	V
Voltage on I/O, RSTb, or VBUS pins	V_{IN}	$V_{DD} > 2.2 V$	GND-0.3	5.8	V
		$V_{DD} < 2.2 V$	GND-0.3	$V_{DD}+3.6$	V
Total Current Sunk into Supply Pin	I_{VDD}		—	500	mA
Total Current Sourced out of Ground Pin	I_{GND}		500	—	mA
Current Sourced or Sunk by any I/O Pin or RSTb	I_{IO}		-100	100	mA

Note:

1. Exposure to maximum rating conditions for extended periods may affect device reliability.

4.4 典型性能曲线

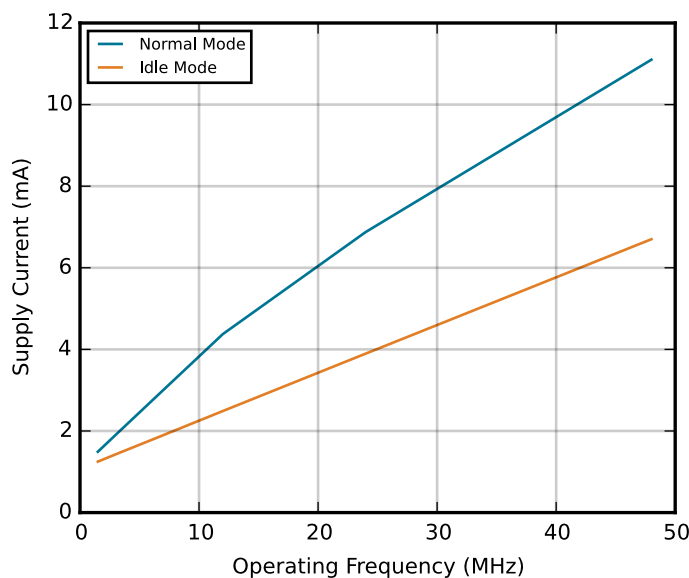


Figure 4.2. 使用 HFOSCO 时典型的运行电源电流

5. 典型连接图

5.1 电源

Figure 5.1 使用稳压器且连接 USB（总线供电）的连接图 on page 25 显示在使用内部稳压器且连接 USB（总线供电）时，EFM8UB2 设备电源引脚的典型连接图。VBUS 信号用来检测何时 USB 连接至主机设备。

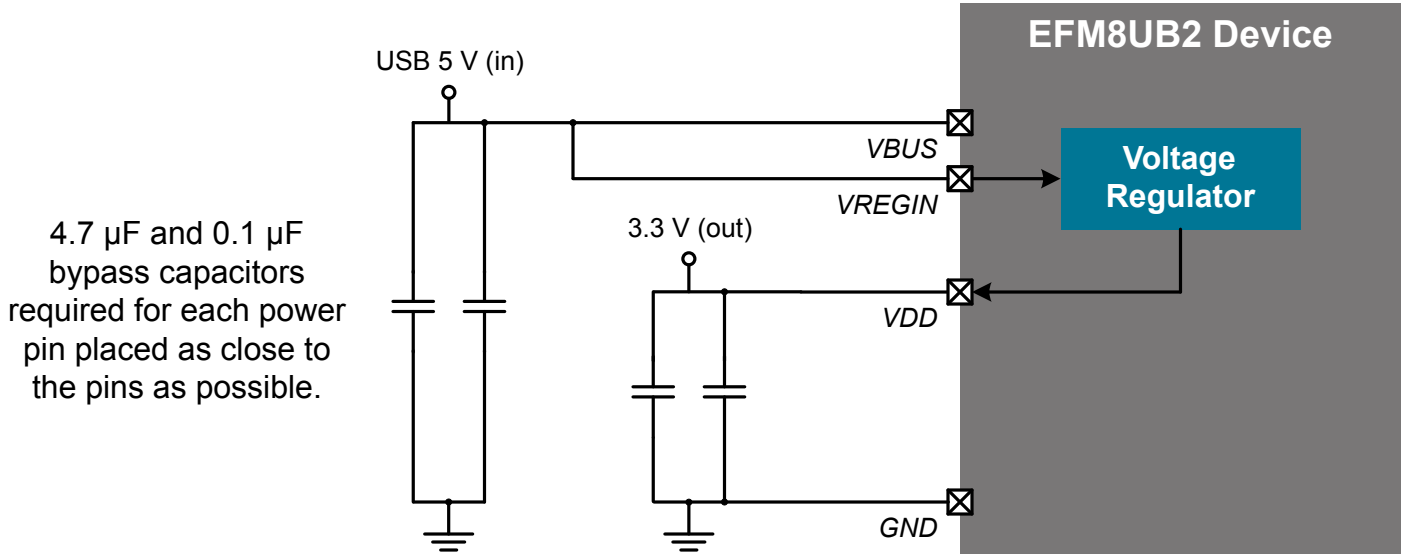


Figure 5.1. 使用稳压器且连接 USB（总线供电）的连接图

Figure 5.2 使用稳压器且连接 USB（自供电）的连接图 on page 26 显示在使用内部稳压器且连接 USB（自供电）时，EFM8UB2 设备电源引脚的典型连接图。VBUS 信号用来检测何时 USB 连接至主机设备，且用电阻分压器显示。此 VBUS 上的电阻分压器（或同等功能的电路）需要满足 VBUS 规范中自供电系统的最大绝对电压，在此自供电系统中当 VBUS 供电为 5 V 时，VDD 和 VIO 可能断电。

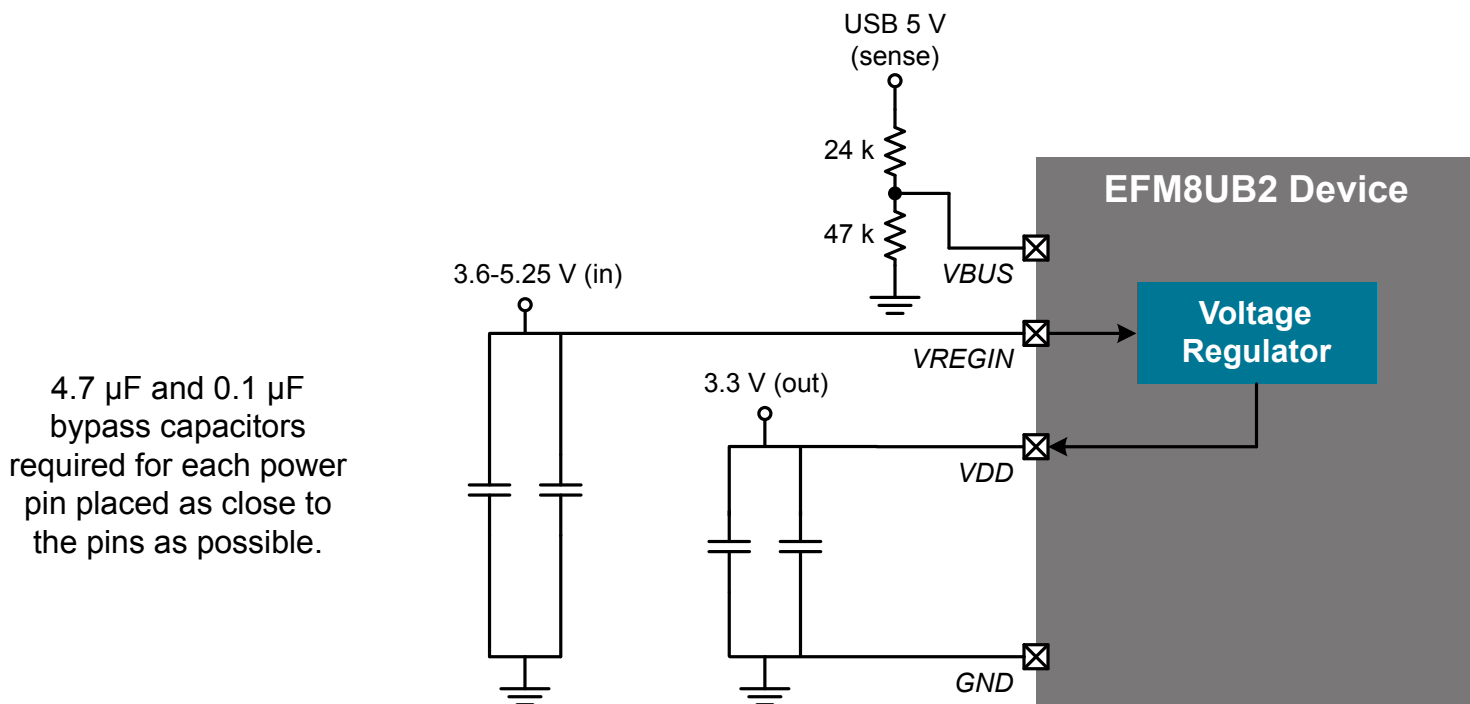


Figure 5.2. 使用稳压器且连接 USB（自供电）的连接图

下图显示在不使用内部 5 V 至 3.3 V 稳压器时，EFM8UB2 设备电源引脚的典型连接图。

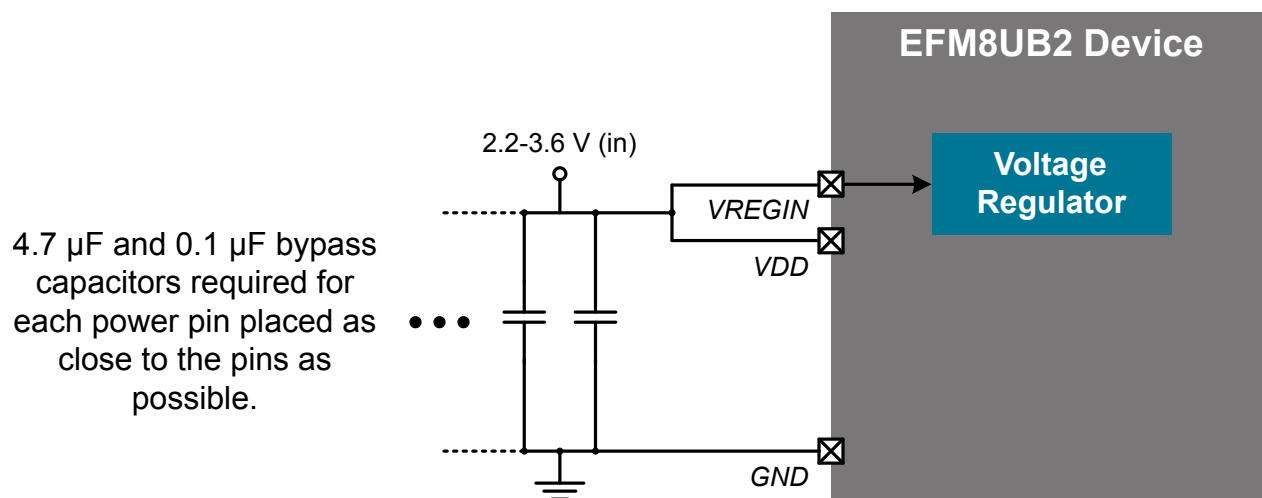


Figure 5.3. 未使用电压稳压器的连接图

5.2 USB

Figure 5.4 USB 引脚连接图 on page 27 显示 EFM8UB2 设备的 USB 引脚典型连接图，包括 USB 引脚上的 ESD 保护二极管。

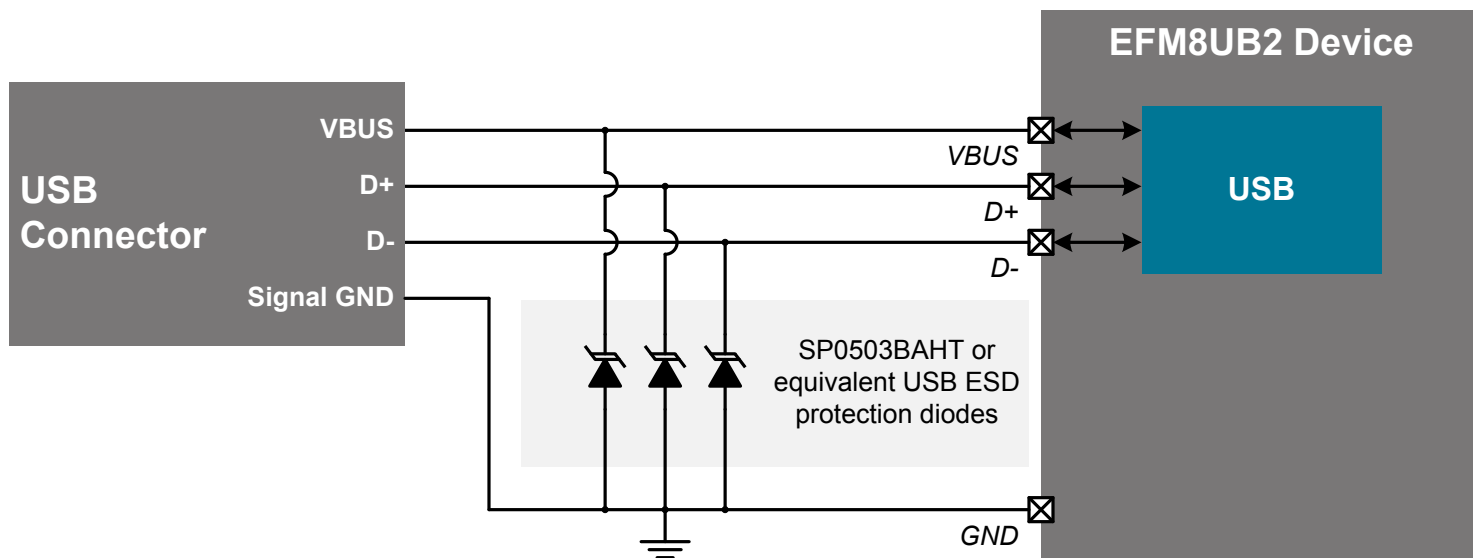


Figure 5.4. USB 引脚连接图

5.3 参考电压 (VREF)

Figure 5.5 内部参考电压的连接图 on page 27 显示在使用内部参考电压时，EFM8UB2 设备的参考电压 (VREF) 引脚典型连接图。当使用外部参考电压时，查阅外部参考数据表，以获得连接建议。

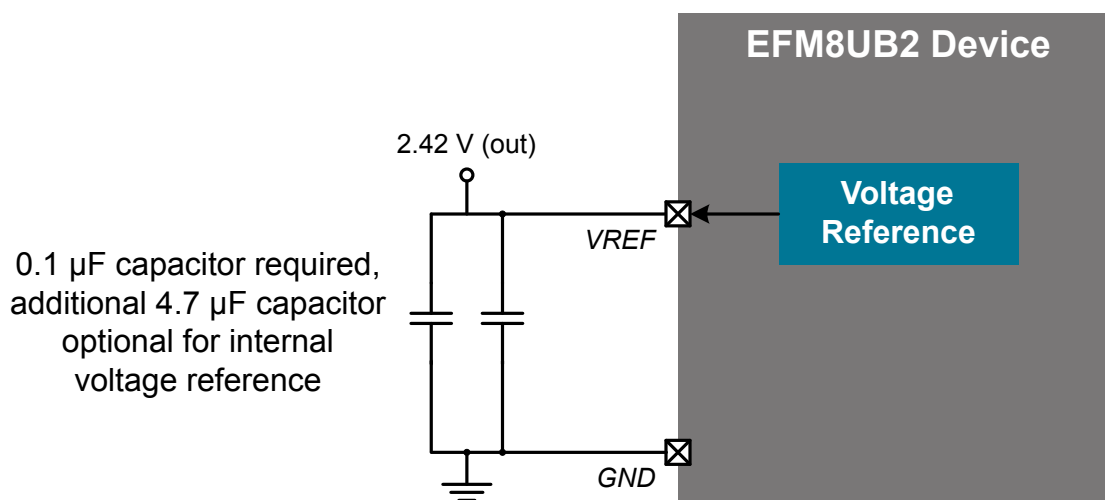
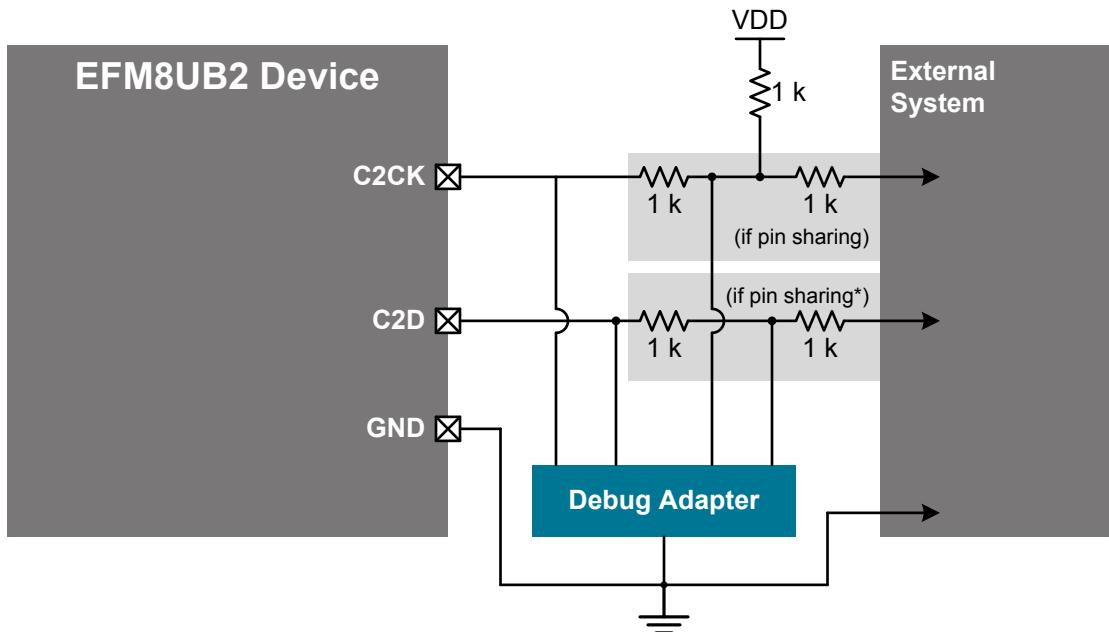


Figure 5.5. 内部参考电压的连接图

5.4 调试

下图为调试连接引脚的典型连接图。仅在 C2D（一种非 QFP48 封装的 GPIO 引脚）和 C2CK（RSTb）路由至外部电路的情况下，才需要引脚共享电阻。例如，如果 RSTb 引脚连接到带有消抖滤波器的外部开关，或者与 C2D 引脚共享的 GPIO 连接到外部电路，则引脚共享电阻和调试适配器连接必须放置在硬件。否则，这些元件和连接可能被忽略。

如欲了解有关调试连接的更多信息，请参见应用说明“AN127：C2 接口的引脚共享技术”中的示例原理图和信息。欲了解应用说明，请参见 Silicon Labs 网站 (<http://www.silabs.com/8bit-appnotes>) 或 Simplicity Studio。



***Note:** Not needed on QFP48 packages since C2D is not shared with a GPIO pin.

Figure 5.6. 调试连接图

5.5 其他连接

其他元件或连接可能需要满足系统级要求。应用说明“AN203：8 位 MCU 印刷电路板设计说明”中对这些连接进行了详细说明。应用说明位于 Silicon Labs 网站上 (www.silabs.com/8bit-appnotes)。

6. 引脚定义

6.1 EFM8UB2x-QFP48 引脚定义

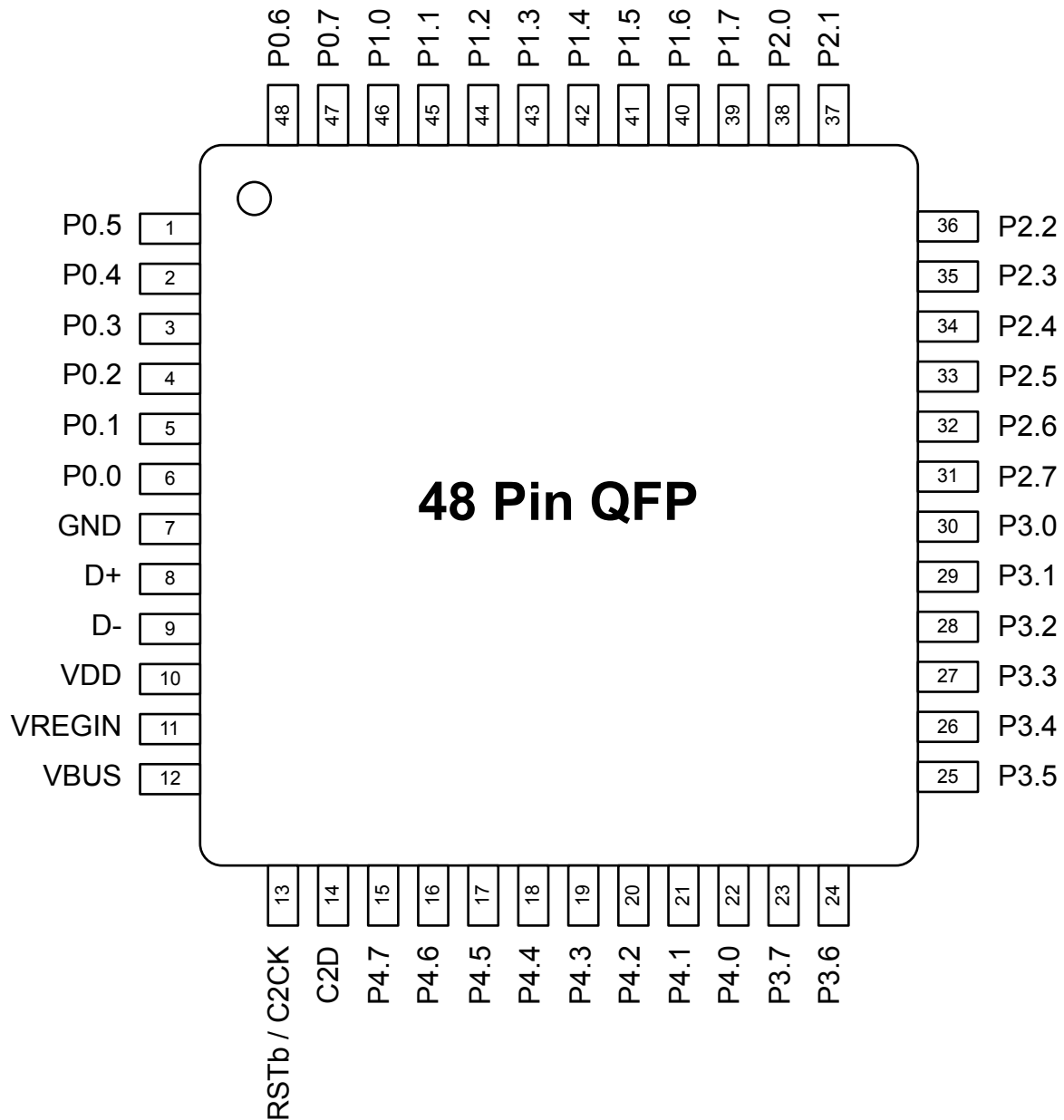


Figure 6.1. EFM8UB2x-QFP48 插脚

Table 6.1. Pin Definitions for EFM8UB2x-QFP48

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.5	Multifunction I/O	Yes	UART0_RX INT0.5 INT1.5	
2	P0.4	Multifunction I/O	Yes	UART0_TX INT0.4 INT1.4	ADCOP.18 ADCON.18 CMPON.4
3	P0.3	Multifunction I/O	Yes	INT0.3 INT1.3	ADCOP.17 ADCON.17 CMPOP.4
4	P0.2	Multifunction I/O	Yes	INT0.2 INT1.2	
5	P0.1	Multifunction I/O	Yes	INT0.1 INT1.1	
6	P0.0	Multifunction I/O	Yes	INT0.0 INT1.0	
7	GND	Ground			
8	D+	USB Data Positive			
9	D-	USB Data Negative			
10	VDD	Supply Power Input / 5V Regulator Output			
11	VREGIN	5V Regulator Input			
12	VBUS	USB VBUS Sense Input		VBUS	
13	RST / C2CK	Active-low Reset / C2 Debug Clock			
14	C2D	C2 Debug Data			
15	P4.7	Multifunction I/O		EMIF_D7 EMIF_AD7m	ADCOP.34 ADCON.34
16	P4.6	Multifunction I/O		EMIF_D6 EMIF_AD6m	ADCOP.15 ADCON.15 CMP1N.3
17	P4.5	Multifunction I/O		EMIF_D5 EMIF_AD5m	ADCOP.14 ADCON.14 CMP1P.3

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
18	P4.4	Multifunction I/O		EMIF_D4 EMIF_AD4m	ADCOP. 13 ADCON. 13 CMPON. 3
19	P4.3	Multifunction I/O		EMIF_D3 EMIF_AD3m	ADCOP. 12 ADCON. 12 CMPOP. 3
20	P4.2	Multifunction I/O		EMIF_D2 EMIF_AD2m	ADCOP. 33 ADCON. 33
21	P4.1	Multifunction I/O		EMIF_D1 EMIF_AD1m	ADCOP. 32 ADCON. 32
22	P4.0	Multifunction I/O		EMIF_D0 EMIF_AD0m	ADCOP. 11 ADCON. 11 CMP1N. 2
23	P3.7	Multifunction I/O	Yes	EMIF_A7 EMIF_A15m	ADCOP. 10 ADCON. 10 CMP1P. 2
24	P3.6	Multifunction I/O	Yes	EMIF_A6 EMIF_A14m	ADCOP. 29 ADCON. 29
25	P3.5	Multifunction I/O	Yes	EMIF_A5 EMIF_A13m	ADCOP. 9 ADCON. 9 CMPON. 2
26	P3.4	Multifunction I/O	Yes	EMIF_A4 EMIF_A12m	ADCOP. 8 ADCON. 8 CMPOP. 2
27	P3.3	Multifunction I/O	Yes	EMIF_A3 EMIF_A11m	ADCOP. 28 ADCON. 28
28	P3.2	Multifunction I/O	Yes	EMIF_A2 EMIF_A10m	ADCOP. 27 ADCON. 27
29	P3.1	Multifunction I/O	Yes	EMIF_A1 EMIF_A9m	ADCOP. 7 ADCON. 7 CMP1N. 1
30	P3.0	Multifunction I/O	Yes	EMIF_A0 EMIF_A8m	ADCOP. 6 ADCON. 6 CMP1P. 1
31	P2.7	Multifunction I/O	Yes	EMIF_A15	ADCOP. 26 ADCON. 26

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
32	P2.6	Multifunction I/O	Yes	EMIF_A14	ADCOP. 5 ADCON. 5 CMPON. 1
33	P2.5	Multifunction I/O	Yes	EMIF_A13	ADCOP. 4 ADCON. 4 CMPOP. 1
34	P2.4	Multifunction I/O	Yes	EMIF_A12	ADCOP. 25 ADCON. 25
35	P2.3	Multifunction I/O	Yes	EMIF_A11	ADCOP. 3 ADCON. 3 CMP1N. 0
36	P2.2	Multifunction I/O	Yes	EMIF_A10	ADCOP. 2 ADCON. 2 CMP1P. 0
37	P2.1	Multifunction I/O	Yes	EMIF_A9	ADCOP. 1 ADCON. 1 CMPON. 0
38	P2.0	Multifunction I/O	Yes	EMIF_A8	ADCOP. 0 ADCON. 0 CMPOP. 0
39	P1.7	Multifunction I/O	Yes	EMIF_WRb	ADCOP. 24 ADCON. 24
40	P1.6	Multifunction I/O	Yes	EMIF_RDb	ADCOP. 23 ADCON. 23
41	P1.5	Multifunction I/O	Yes		VREF
42	P1.4	Multifunction I/O	Yes	GNVSTR	
43	P1.3	Multifunction I/O	Yes	EMIF_ALEm	ADCOP. 22 ADCON. 22
44	P1.2	Multifunction I/O	Yes		ADCOP. 20 ADCON. 20 CMP1N. 4
45	P1.1	Multifunction I/O	Yes		ADCOP. 19 ADCON. 19 CMP1P. 4
46	P1.0	Multifunction I/O	Yes		ADCOP. 21 ADCON. 21

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
47	P0.7	Multifunction I/O	Yes	XTAL2 EXTCLK INT0.7 INT1.7	
48	P0.6	Multifunction I/O	Yes	XTAL1 INT0.6 INT1.6	

6.2 EFM8UB2x-QFP32 引脚定义

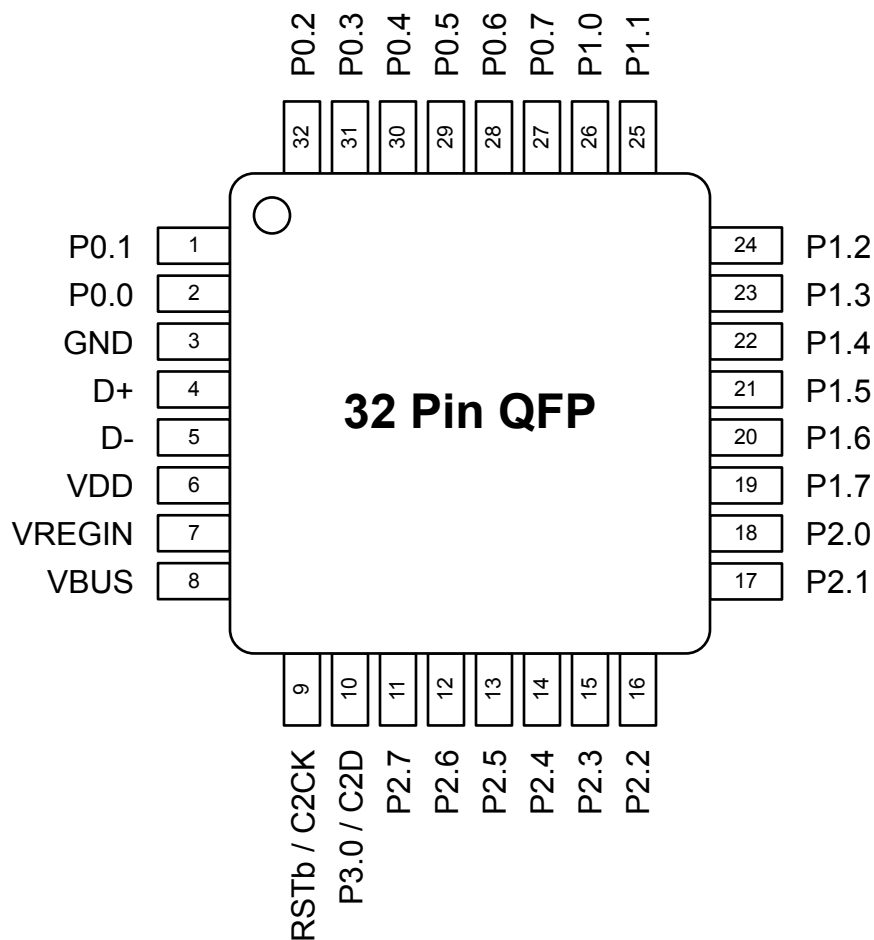


Figure 6.2. EFM8UB2x-QFP32 插脚

Table 6.2. Pin Definitions for EFM8UB2x-QFP32

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.1	Multifunction I/O	Yes	INT0.1 INT1.1	ADCOP. 18 ADCON. 18 CMPON. 4
2	P0.0	Multifunction I/O	Yes	INT0.0 INT1.0	ADCOP. 17 ADCON. 17 CMPOP. 4
3	GND	Ground			
4	D+	USB Data Positive			

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
5	D-	USB Data Negative			
6	VDD	Supply Power Input / 5V Regulator Output			
7	VREGIN	5V Regulator Input			
8	VBUS	USB VBUS Sense Input		VBUS	
9	RST / C2CK	Active-low Reset / C2 Debug Clock			
10	P3.0 / C2D	Multifunction I/O / C2 Debug Data	Yes		ADCOP. 16 ADCON. 16
11	P2.7	Multifunction I/O	Yes		ADCOP. 15 ADCON. 15
12	P2.6	Multifunction I/O	Yes		ADCOP. 14 ADCON. 14
13	P2.5	Multifunction I/O	Yes		ADCOP. 13 ADCON. 13 CMPON. 3
14	P2.4	Multifunction I/O	Yes		ADCOP. 12 ADCON. 12 CMPOP. 3
15	P2.3	Multifunction I/O	Yes		ADCOP. 11 ADCON. 11 CMP1N. 2
16	P2.2	Multifunction I/O	Yes		ADCOP. 10 ADCON. 10 CMP1P. 2
17	P2.1	Multifunction I/O	Yes		ADCOP. 9 ADCON. 9 CMPON. 2
18	P2.0	Multifunction I/O	Yes		ADCOP. 8 ADCON. 8 CMPOP. 2
19	P1.7	Multifunction I/O	Yes		ADCOP. 7 ADCON. 7 CMP1N. 1

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
20	P1.6	Multifunction I/O	Yes		ADCOP. 6 ADCON. 6 CMP1P. 1
21	P1.5	Multifunction I/O	Yes		ADCOP. 5 ADCON. 5 CMPON. 1
22	P1.4	Multifunction I/O	Yes		ADCOP. 4 ADCON. 4 CMPOP. 1
23	P1.3	Multifunction I/O	Yes		ADCOP. 3 ADCON. 3 CMP1N. 0
24	P1.2	Multifunction I/O	Yes		ADCOP. 2 ADCON. 2 CMP1P. 0
25	P1.1	Multifunction I/O	Yes		ADCOP. 1 ADCON. 1 CMPON. 0
26	P1.0	Multifunction I/O	Yes		ADCOP. 0 ADCON. 0 CMPOP. 0
27	P0.7	Multifunction I/O	Yes	INT0. 7 INT1. 7	VREF
28	P0.6	Multifunction I/O	Yes	CNVSTR INT0. 6 INT1. 6	
29	P0.5	Multifunction I/O	Yes	INT0. 5 INT1. 5 UART0_RX	ADCOP. 20 ADCON. 20 CMP1N. 4
30	P0.4	Multifunction I/O	Yes	INT0. 4 INT1. 4 UART0_TX	ADCOP. 19 ADCON. 19 CMP1P. 4
31	P0.3	Multifunction I/O	Yes	EXTCLK INT0. 3 INT1. 3	

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
32	P0.2	Multifunction I/O	Yes	INT0.2 INT1.2	
<p>Note: XTAL1 and XTAL2 are not available on this package. EXTCLK is still available on P0.3.</p>					

6.3 EFM8UB2x-QFN32 引脚定义

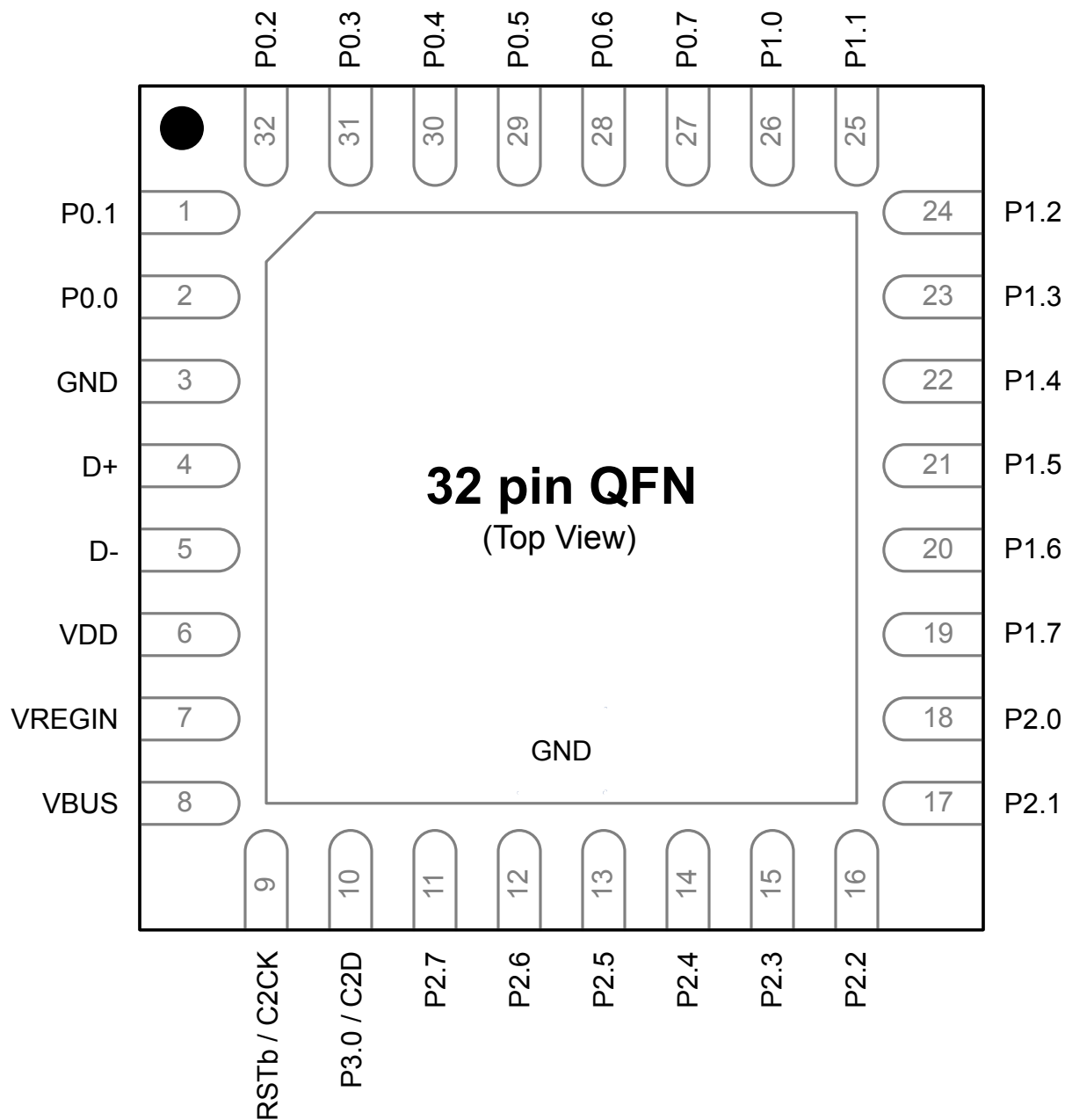


Figure 6.3. EFM8UB2x-QFN32 插脚

Table 6.3. Pin Definitions for EFM8UB2x-QFN32

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.1	Multifunction I/O	Yes	INT0.1 INT1.1	ADCOP. 18 ADCON. 18 CMPON. 4
2	P0.0	Multifunction I/O	Yes	INT0.0 INT1.0	ADCOP. 17 ADCON. 17 CMPOP. 4
3	GND	Ground			
4	D+	USB Data Positive			
5	D-	USB Data Negative			
6	VDD	Supply Power Input / 5V Regulator Output			
7	VREGIN	5V Regulator Input			
8	VBUS	USB VBUS Sense Input		VBUS	
9	RST / C2CK	Active-low Reset / C2 Debug Clock			
10	P3.0 / C2D	Multifunction I/O / C2 Debug Data	Yes		ADCOP. 16 ADCON. 16
11	P2.7	Multifunction I/O	Yes		ADCOP. 15 ADCON. 15
12	P2.6	Multifunction I/O	Yes		ADCOP. 14 ADCON. 14
13	P2.5	Multifunction I/O	Yes		ADCOP. 13 ADCON. 13 CMPON. 3
14	P2.4	Multifunction I/O	Yes		ADCOP. 12 ADCON. 12 CMPOP. 3
15	P2.3	Multifunction I/O	Yes		ADCOP. 11 ADCON. 11 CMP1N. 2
16	P2.2	Multifunction I/O	Yes		ADCOP. 10 ADCON. 10 CMP1P. 2

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
17	P2.1	Multifunction I/O	Yes		ADCOP. 9 ADCON. 9 CMPON. 2
18	P2.0	Multifunction I/O	Yes		ADCOP. 8 ADCON. 8 CMPOP. 2
19	P1.7	Multifunction I/O	Yes		ADCOP. 7 ADCON. 7 CMP1N. 1
20	P1.6	Multifunction I/O	Yes		ADCOP. 6 ADCON. 6 CMP1P. 1
21	P1.5	Multifunction I/O	Yes		ADCOP. 5 ADCON. 5 CMPON. 1
22	P1.4	Multifunction I/O	Yes		ADCOP. 4 ADCON. 4 CMPOP. 1
23	P1.3	Multifunction I/O	Yes		ADCOP. 3 ADCON. 3 CMP1N. 0
24	P1.2	Multifunction I/O	Yes		ADCOP. 2 ADCON. 2 CMP1P. 0
25	P1.1	Multifunction I/O	Yes		ADCOP. 1 ADCON. 1 CMPON. 0
26	P1.0	Multifunction I/O	Yes		ADCOP. 0 ADCON. 0 CMPOP. 0
27	P0.7	Multifunction I/O	Yes	INT0. 7 INT1. 7	VREF
28	P0.6	Multifunction I/O	Yes	CNVSTR INT0. 6 INT1. 6	

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
29	P0.5	Multifunction I/O	Yes	INT0.5 INT1.5 UART0_RX	ADCOP.20 ADCON.20 CMP1N.4
30	P0.4	Multifunction I/O	Yes	INT0.4 INT1.4 UART0_TX	ADCOP.19 ADCON.19 CMP1P.4
31	P0.3	Multifunction I/O	Yes	EXTCLK INT0.3 INT1.3	
32	P0.2	Multifunction I/O	Yes	INT0.2 INT1.2	
Center	GND	Ground			

Note: XTAL1 and XTAL2 are not available on this package. EXTCLK is still available on P0.3.

7. QFP48 封装规格

7.1 QFP48 封装尺寸

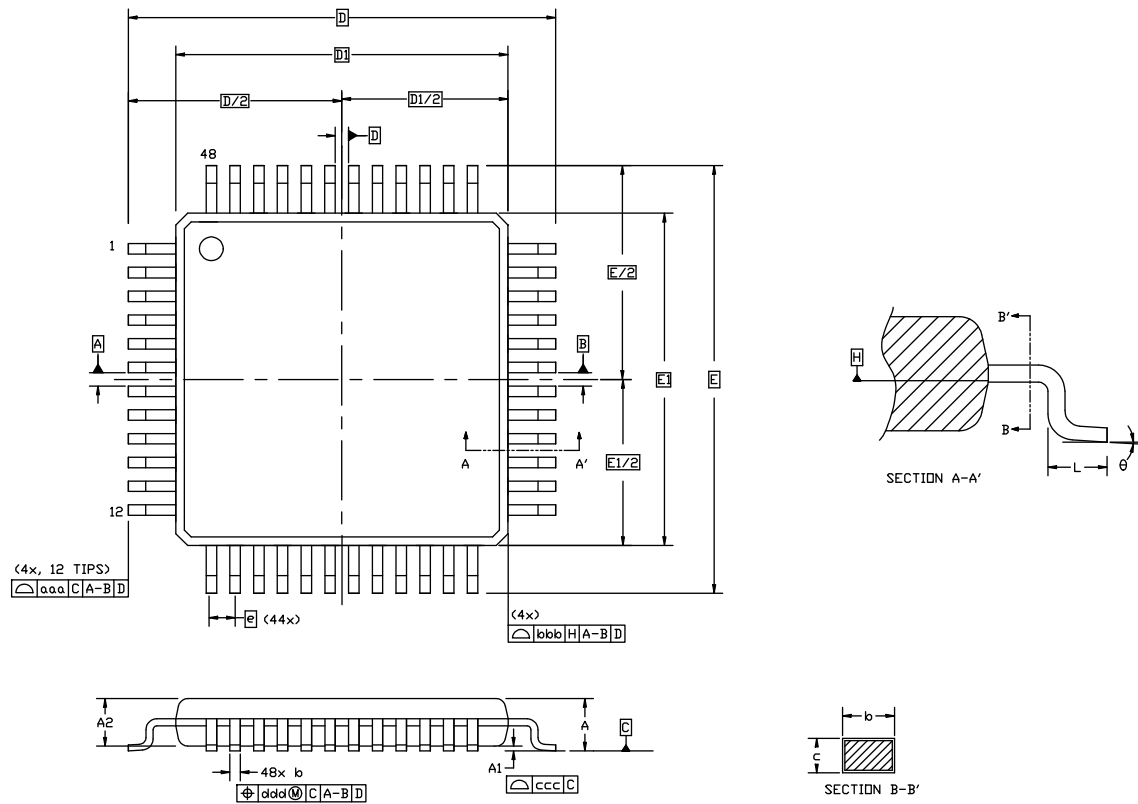


Figure 7.1. QFP48 封装图

Table 7.1. QFP48 Package Dimensions

Dimension	Min	Typ	Max
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b	0.17	0.22	0.27
D		9.00 BSC	
D1		7.00 BSC	
e		0.50 BSC	
E		9.00 BSC	
E1		7.00 BSC	
L	0.45	0.60	0.75

Dimension	Min	Typ	Max
aaa		0.20	
bbb		0.20	
ccc		0.08	
ddd		0.08	
theta	0°	3.5°	7°

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to JEDEC outline MS-026, variation ABC.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.

7.2 QFP48 PCB 焊盘布局

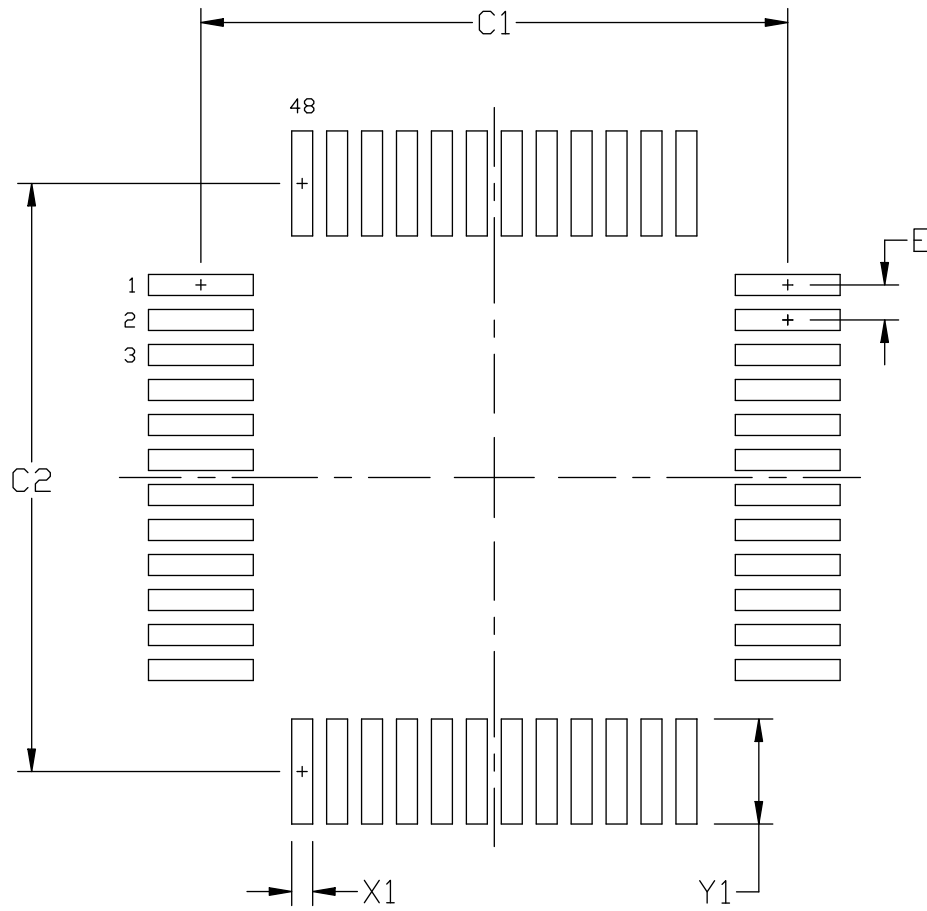


Figure 7.2. QFP48 PCB 焊盘布局图

Table 7.2. QFP48 PCB Land Pattern Dimensions

Dimension	Min	Max
C1	8.30	8.40
C2	8.30	8.40
E	0.50 BSC	
X1	0.20	0.30
Y1	1.40	1.50

Dimension	Min	Max
Note:		
1. All dimensions shown are in millimeters (mm) unless otherwise noted.		
2. This Land Pattern Design is based on the IPC-7351 guidelines.		
3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad.		
4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.		
5. The stencil thickness should be 0.125 mm (5 mils).		
6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.		
7. A No-Clean, Type-3 solder paste is recommended.		
8. The recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.		

7.3 QFP48 封装标识

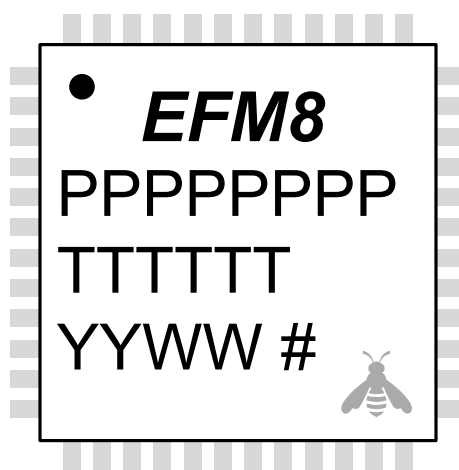


Figure 7.3. QFP48 封装标识

封装标识的组成为：

- P P P P P P P P - 指定部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

8. QFP32 封装规格

8.1 QFP32 封装尺寸

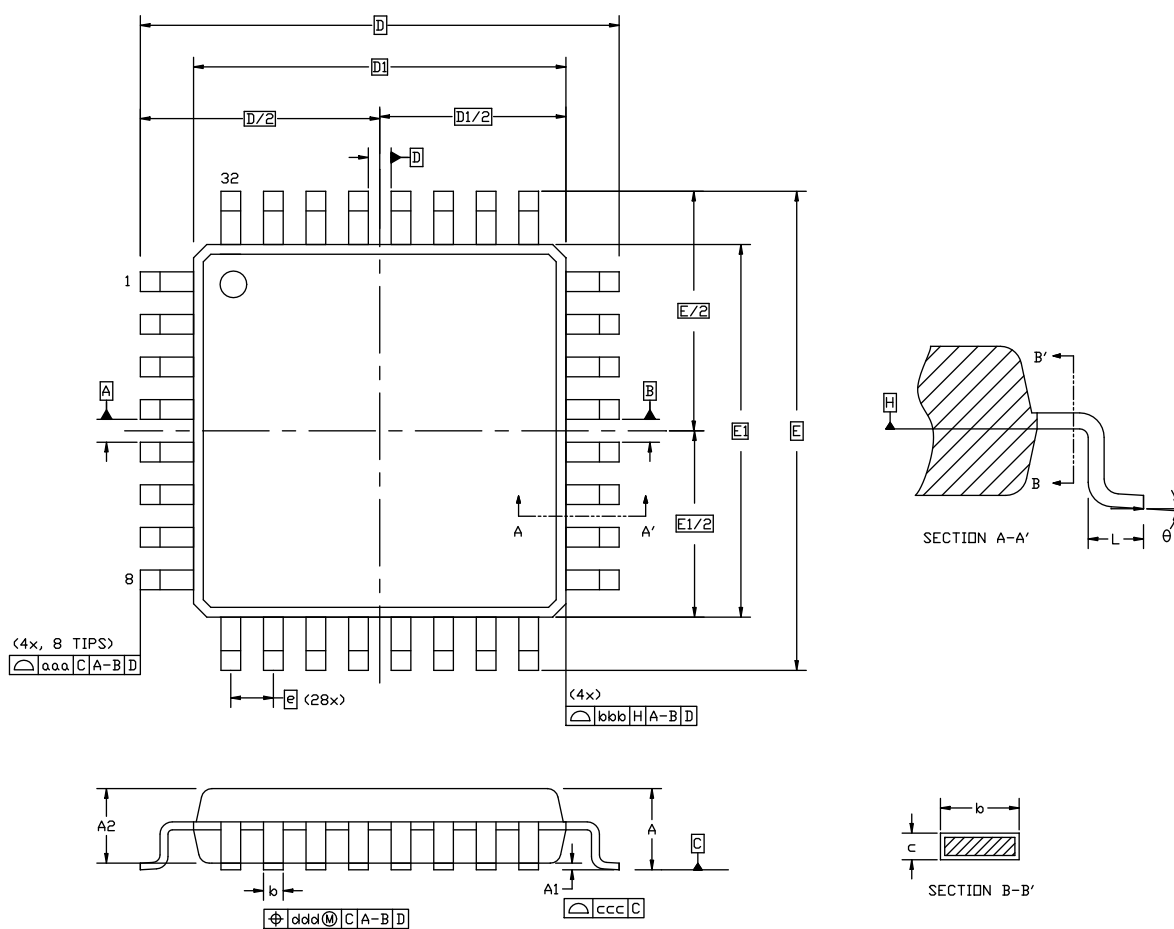


Figure 8.1. QFP32 封装图

Table 8.1. QFP32 Package Dimensions

Dimension	Min	Typ	Max
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
b	0.30	0.37	0.45
D	9.00 BSC		
D1	7.00 BSC		
e	0.80 BSC		
E	9.00 BSC		

Dimension	Min	Typ	Max
E1	7.00 BSC		
L	0.45	0.60	0.75
aaa	0.20		
bbb	0.20		
ccc	0.10		
ddd	0.20		
theta	0°	3.5°	7°

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to JEDEC outline MS-026, variation BBA.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.

8.2 QFP32 PCB 焊盘布局

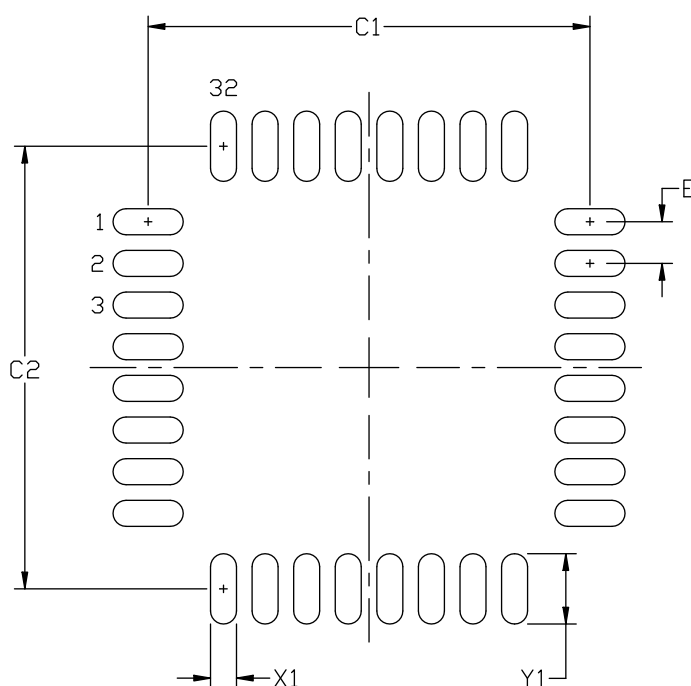


Figure 8.2. QFP32 PCB 焊盘布局图

Table 8.2. QFP32 PCB Land Pattern Dimensions

Dimension	Min	Max
C1	8.40	8.50
C2	8.40	8.50
E	0.80 BSC	
X1	0.40	0.50
Y1	1.25	1.35

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. This Land Pattern Design is based on the IPC-7351 guidelines.
3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad.
4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.
5. The stencil thickness should be 0.125 mm (5 mils).
6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.
7. A No-Clean, Type-3 solder paste is recommended.
8. The recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.

8.3 QFP32 封装标识

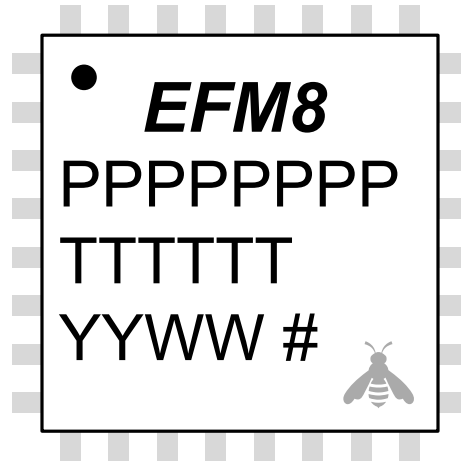


Figure 8.3. QFP32 封装标识

封装标识的组成为：

- P P P P P P P P - 指定部件编号。
- T T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

9. QFN32 封装规格

9.1 QFN32 封装尺寸

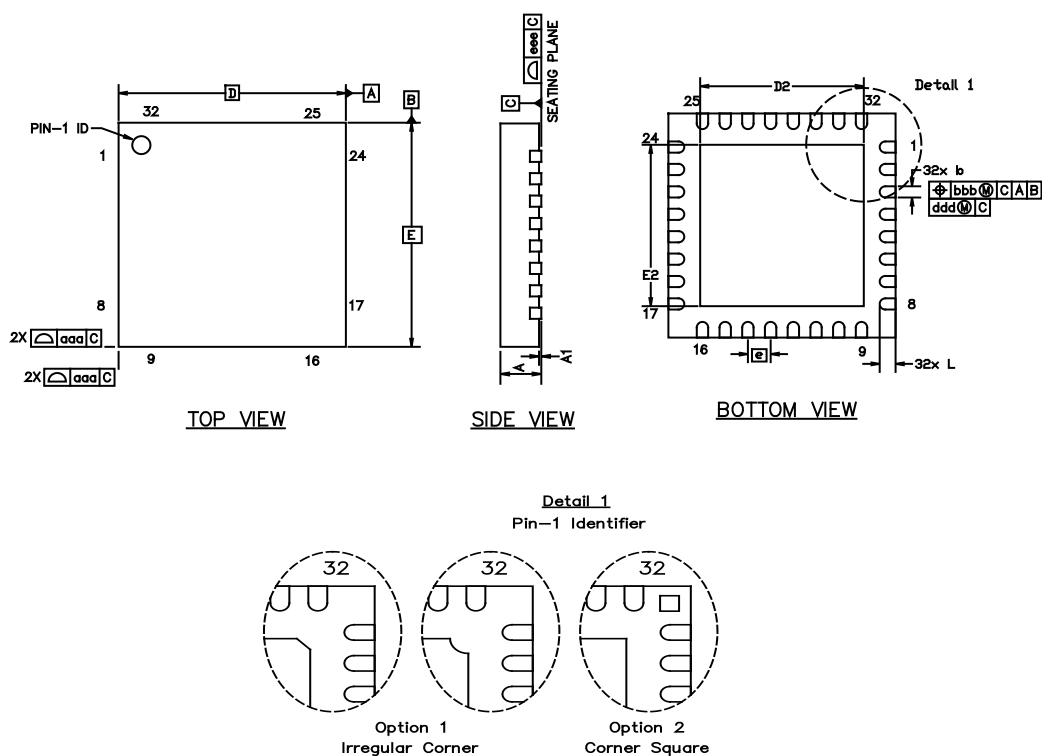


Figure 9.1. QFN32 封装图

Table 9.1. QFN32 Package Dimensions

Dimension	Min	Typ	Max
A	0.80	0.85	0.90
A1	0.00	0.02	0.05
b	0.18	0.25	0.30
D	5.00 BSC		
D2	3.20	3.30	3.40
e	0.50 BSC		
E	5.00 BSC		
E2	3.20	3.30	3.40
L	0.35	0.40	0.45
aaa	—	—	0.10
bbb	—	—	0.10

Dimension	Min	Typ	Max
ddd	—	—	0.05
eee	—	—	0.08

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to JEDEC Solid State Outline MO-220, variation VHHD except for custom features D2, E2, and L which are toleranced per supplier designation.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.

9.2 QFN32 PCB 焊盘布局

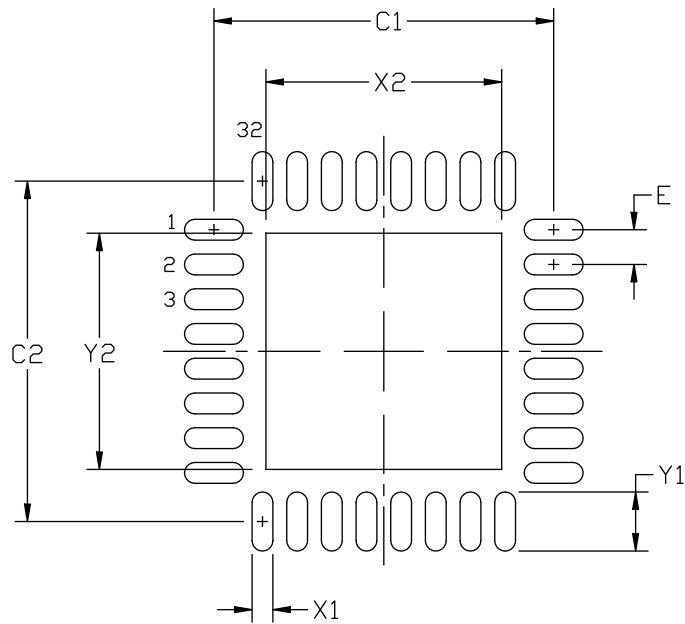


Figure 9.2. QFN32 PCB 焊盘布局图

Table 9.2. QFN32 PCB Land Pattern Dimensions

Dimension	Min	Max
C1	4.80	4.90
C2	4.80	4.90
E	0.50 BSC	
X1	0.20	0.30
X2	3.20	3.40
Y1	0.75	0.85
Y2	3.20	3.40

Dimension	Min	Max
Note:		
1. All dimensions shown are in millimeters (mm) unless otherwise noted.		
2. This Land Pattern Design is based on the IPC-7351 guidelines.		
3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad.		
4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.		
5. The stencil thickness should be 0.125 mm (5 mils).		
6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.		
7. A 3 x 3 array of 1.0 mm x 1.0 mm openings on a 1.2 mm pitch should be used for the center pad.		
8. A No-Clean, Type-3 solder paste is recommended.		
9. The recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.		

9.3 QFN32 封装标识

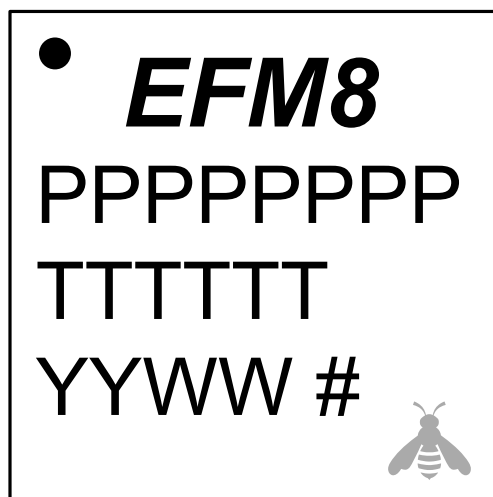


Figure 9.3. QFN32 封装标识

封装标识的组成为：

- P P P P P P P P - 指定部件编号。
- T T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本 (A、B 等)。

10. 版本历史

10.1 修订版 1.3

已将订购部件编号更新至修订版 B。

已将来自 POR 规格的加电复位阈值和复位延迟添加至 [4.1.3 复位和电源监控器](#)。

已将 CRC 计算时间规格添加至 [4.1.4 闪存](#)。

已将 VBUS 检测输入高电压和 VBUS 检测输入低电压规格添加至 [Table 4.14 USB Transceiver on page 21](#)。

已为 [4.1.15 SMBus](#) 添加规格。

增加了 [5.4 调试](#)。

已将关于引导装载程序实施和引导装载程序引出线的信息添加至 [3.10 引导装载程序](#)。

已将备注添加至 [Table 6.3 Pin Definitions for EFM8UB2x-QFN32 on page 39](#) 和 [Table 6.2 Pin Definitions for EFM8UB2x-QFP32 on page 34](#)，阐明 XTAL1 和 XTAL2 在 32 引脚封装上不可用。

已更新 [Figure 5.1 使用稳压器且连接 USB（总线供电）的连接图 on page 25](#) 和 [Figure 5.2 使用稳压器且连接 USB（自供电）的连接图 on page 26](#)，建议使用 4.7 μF 电容取代 1.0 μF 电容。

已添加文本和 [Figure 5.3 未使用电压稳压器的连接图 on page 26](#)，展示不使用稳压器时的正确连接。

已将参考添加至 [3.1 介绍](#) 中的参考手册。

10.2 版本 1.2

已将 [Table 4.3 Reset and Supply Monitor on page 14](#) 中的 VDD Ramp 时间规格更新为最大 1 ms。

10.3 版本 1.1

首次发行。

目录

1. 功能列表	1
2. 订购信息	2
3. 系统概述	4
3.1 介绍	4
3.2 电源	5
3.3 I/O	5
3.4 时钟	5
3.5 定时器/计数器和 PWM	6
3.6 通信和其他数字外围设备	7
3.7 模拟	8
3.8 复位源	9
3.9 调试	9
3.10 引导装载程序	10
4. 电气规格	12
4.1 电气特性	12
4.1.1 建议的工作条件	12
4.1.2 功耗	13
4.1.3 复位和电源监控器	14
4.1.4 闪存	14
4.1.5 内部振荡器	15
4.1.6 晶体振荡器	15
4.1.7 外部时钟输入	15
4.1.8 ADC	16
4.1.9 参考电压	17
4.1.10 温度传感器	17
4.1.11 5 V 电压稳压器	18
4.1.12 比较器	19
4.1.13 端口 I/O	20
4.1.14 USB 收发器	21
4.1.15 SMBus	22
4.2 热能条件	23
4.3 绝对最大额定值	24
4.4 典型性能曲线	24
5. 典型连接图	25
5.1 电源	25
5.2 USB	27
5.3 参考电压 (VREF)	27
5.4 调试	28

5.5 其他连接	28
6. 引脚定义	29
6.1 EFM8UB2x-QFP48 引脚定义	29
6.2 EFM8UB2x-QFP32 引脚定义	34
6.3 EFM8UB2x-QFN32 引脚定义	38
7. QFP48 封装规格	42
7.1 QFP48 封装尺寸	42
7.2 QFP48 PCB 焊盘布局	44
7.3 QFP48 封装标识	45
8. QFP32 封装规格	46
8.1 QFP32 封装尺寸	46
8.2 QFP32 PCB 焊盘布局	48
8.3 QFP32 封装标识	49
9. QFN32 封装规格	50
9.1 QFN32 封装尺寸	50
9.2 QFN32 PCB 焊盘布局	52
9.3 QFN32 封装标识	53
10. 版本历史	54
10.1 修订版 1.3	54
10.2 版本 1.2	54
10.3 版本 1.1	54
目录	55

Silicon Labs

Simplicity Studio™4



Simplicity Studio

One-click access to MCU and wireless tools, documentation, software, source code libraries & more. Available for Windows, Mac and Linux!



IoT Portfolio
www.silabs.com/loT



SW/HW
www.silabs.com/simplicity



Quality
www.silabs.com/quality



Support and Community
community.silabs.com

Disclaimer

Silicon Labs intends to provide customers with the latest, accurate, and in-depth documentation of all peripherals and modules available for system and software implementers using or intending to use the Silicon Labs products. Characterization data, available modules and peripherals, memory sizes and memory addresses refer to each specific device, and "Typical" parameters provided can and do vary in different applications. Application examples described herein are for illustrative purposes only. Silicon Labs reserves the right to make changes without further notice and limitation to product information, specifications, and descriptions herein, and does not give warranties as to the accuracy or completeness of the included information. Silicon Labs shall have no liability for the consequences of use of the information supplied herein. This document does not imply or express copyright licenses granted hereunder to design or fabricate any integrated circuits. The products are not designed or authorized to be used within any Life Support System without the specific written consent of Silicon Labs. A "Life Support System" is any product or system intended to support or sustain life and/or health, which, if it fails, can be reasonably expected to result in significant personal injury or death. Silicon Labs products are not designed or authorized for military applications. Silicon Labs products shall under no circumstances be used in weapons of mass destruction including (but not limited to) nuclear, biological or chemical weapons, or missiles capable of delivering such weapons.

Trademark Information

Silicon Laboratories Inc.®, Silicon Laboratories®, Silicon Labs®, SiLabs® and the Silicon Labs logo®, Bluegiga®, Bluegiga Logo®, Clockbuilder®, CMEMS®, DSPLL®, EFM®, EFM32®, EFR®, Ember®, Energy Micro, Energy Micro logo and combinations thereof, "the world's most energy friendly microcontrollers", Ember®, EZLink®, EZRadio®, EZRadioPRO®, Gecko®, ISOModem®, Precision32®, ProSLIC®, Simplicity Studio®, SiPHY®, Telegesis, the Telegesis Logo®, USBXpress® and others are trademarks or registered trademarks of Silicon Labs. ARM, CORTEX, Cortex-M3 and THUMB are trademarks or registered trademarks of ARM Holdings. Keil is a registered trademark of ARM Limited. All other products or brand names mentioned herein are trademarks of their respective holders.



SILICON LABS

Silicon Laboratories Inc.
400 West Cesar Chavez
Austin, TX 78701
USA

<http://www.silabs.com>